

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

012569951 **Image available**

WPI Acc No: 1999-376058/199932

XRPX Acc No: N99-281085

Compensation system for semiconductor display device - has ROM which stores data for performing gamma correction of digital image signal from signal generator

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: KOYAMA J; YAMAZAKI S

Number of Countries: 005 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11143379	A	19990528	JP 98156696	A	19980520	199932 B
CN 1221124	A	19990630	CN 98120354	A	19980903	199944
KR 99029471	A	19990426	KR 9836176	A	19980903	200028
TW 384503	A	20000311	TW 98114364	A	19980829	200052
US 6335716	B1	20020101	US 98144538	A	19980831	200207

Priority Applications (No Type Date): JP 97254257 A 19970903

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11143379	A	38		G09F-009/00	
CN 1221124	A			G02F-001/136	
KR 99029471	A			G02F-001/133	
TW 384503	A			G02F-001/00	
US 6335716	B1			G09G-003/36	

Abstract (Basic): JP 11143379 A

NOVELTY - Data for performing gamma correction of digital image signal from signal generator (101) is stored in ROM (103). A digital signal processor (108) converts the image displayed on display device to digital signal. A comparator compares digital signal and digital image signal and outputs comparison result. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor display device compensation method.

USE - For semiconductor display device.

ADVANTAGE - As gamma correction is simultaneously performed with pixel TFT, drive circuit and peripheral circuits, gradation display is obtained with reduced size. DESCRIPTION OF DRAWING(S) - The figure shows the schematic block diagram of gamma correction system. (101) Signal generator: (103) ROM; (108) Digital signal processor.

Dwg. 1/33

Title Terms: COMPENSATE; SYSTEM; SEMICONDUCTOR; DISPLAY; DEVICE; ROM; STORAGE; DATA; PERFORMANCE; GAMMA; CORRECT; DIGITAL; IMAGE; SIGNAL; SIGNAL; GENERATOR

Derwent Class: P81; P85: U14

International Patent Class (Main): G02F-001/00; G02F-001/133; G02F-001/136; G09F-009/00; G09G-003/36

Best Available Copy

International Patent Class (Additional): G09G-003/18; H01L-021/00;
H01L-027/10; H01L-029/04; H01L-029/786
File Segment: EPI; EngPI

DIALOG(R)File 347:JAP10
(c) 2002 JPO & JAP10. All rts. reserv.

06201822 **Image available**
SEMICONDUCTOR DISPLAY DEVICE CORRECTING SYSTEM AND ITS METHOD

PUB. NO.: 11-143379 [JP 11143379 A]
PUBLISHED: May 28, 1999 (19990528)
INVENTOR(s): YAMAZAKI SHUNPEI
KOYAMA JUN
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 10-156696 [JP 98156696]
FILED: May 20, 1998 (19980520)
PRIORITY: 09254257 [JP 979254257], JP (Japan), September 03, 1997
(19970903)
INTL CLASS: G09F-009/00; G02F-001/133; G09G-003/36; H01L-027/10;
H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a compact semiconductor display device correcting system capable of attaining fine gradation display and a semiconductor display device.

SOLUTION: The semiconductor display device correcting system 110 is provided with a control circuit 102 for gamma-correcting an image signal supplied from the external and a non-volatile memory 103 for storing data for gamma correction. Since gamma correction data are prepared in each semiconductor display device, fine gradation display can be attained.

COPYRIGHT: (C)1999, JPO

?

特開平11-143379

(43)公開日 平成11年(1999)5月28日

(51) Int.Cl.⁶ 識別記号

G 0 9 F	9/00	3 4 6
G 0 2 F	1/133	5 5 0
G 0 9 G	3/36	
H 0 1 L	27/10	4 6 1
	29/786	

F I

G 0 9 F	9/00	3 4 6 E
G 0 2 F	1/133	5 5 0
G 0 9 G	3/36	
H 0 1 L	27/10	4 6 1
	29/78	6 1 2 B

審査請求 未請求 請求項の数11 FD (全38頁) 最終頁に統く

(21)出願番号 特願平10-156696
 (22)出願日 平成10年(1998)5月20日
 (31)優先権主張番号 特願平9-254257
 (32)優先日 平9(1997)9月3日
 (33)優先権主張国 日本 (JP)

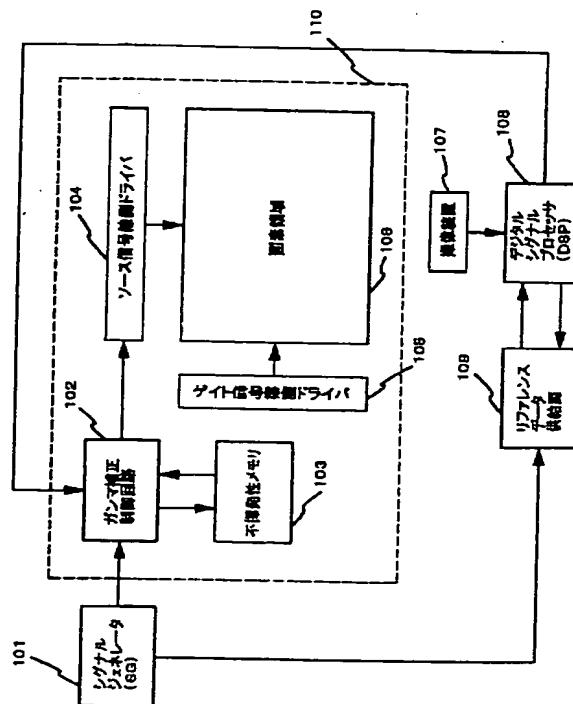
(71)出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 (72)発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】半導体表示装置補正システムおよび半導体表示装置の補正方法

(57)【要約】

【課題】 良好的な階調表示が行える、小型の半導体表示装置の補正システムおよび半導体表示装置を提供する。

【解決手段】 外部から供給される画像信号をガンマ補正するための制御回路と、前記ガンマ補正するためのデータを記憶する不揮発性メモリと、を備えた半導体表示装置の補正システムが提供される。半導体表示装置ごとにガンマ補正のデータを作成するので、良好な階調表示が行える。



【特許請求の範囲】

【請求項1】 デジタル画像信号を供給する手段と、前記デジタル信号をガンマ補正するための制御回路と、前記ガンマ補正するためのデータを記憶するメモリと、を備えた半導体表示装置と、前記半導体表示装置に表示される画像をデジタル信号に変換する手段と、前記デジタル画像信号と前記デジタル信号とを比較する手段と、を備えた半導体表示装置補正システムであって、前記制御回路および前記メモリは、TFTによって構成され、かつ同一絶縁基板上に一体形成される半導体表示装置補正システム。

【請求項2】 前記メモリは、不揮発性メモリである請求項1に記載の半導体表示装置補正システム。

【請求項3】 前記不揮発性メモリは、複数のFAMOS型TFTを含む請求項2に記載の半導体表示装置補正システム。

【請求項4】 挥発性メモリを更に備え、前記揮発性メモリは、TFTによって構成され、かつ前記制御回路および前記メモリと同一絶縁基板上に一体形成される請求項3に記載の半導体表示装置補正システム。

【請求項5】 デジタル画像信号を供給する手段と、前記デジタル信号をアナログ信号に変換する手段と、前記アナログ画像信号をガンマ補正するための制御回路と、前記ガンマ補正するためのデータを記憶するメモリと、を備えた半導体表示装置と、前記半導体表示装置に表示される画像をデジタル信号に変換する手段と、

前記デジタル画像信号と前記デジタル信号とを比較する手段と、を備えた半導体表示装置補正システムであって、前記制御回路および前記メモリは、TFTによって構成され、かつ同一絶縁基板上に一体形成される半導体表示装置補正システム。

【請求項6】 前記メモリは、不揮発性メモリである請求項5に記載の半導体表示装置補正システム。

【請求項7】 前記不揮発性メモリは、複数のFAMOS型TFTを含む請求項6に記載の半導体表示装置補正システム。

【請求項8】 挥発性メモリをさらに備え、前記揮発性メモリは、TFTによって構成され、かつ前記制御回路および前記メモリと同一絶縁基板上に一体形成される請求項7に記載の半導体表示装置補正システム。

【請求項9】 請求項1乃至8のいずれか一つに記載の半導体表示装置補正システムを用いた半導体表示装置。

【請求項10】 入力されるデジタル画像信号をガンマ補正する工程と、ガンマ補正されたデジタル画像信号を映像に変換する工程と、

前記映像をデジタル信号に変換する工程と、前記デジタル画像信号と前記デジタル信号とを比較し、その差を前記ガンマ補正する工程に戻し、ガンマ補正データを得る工程と、前記ガンマ補正データをメモリに記憶させる工程と、を含む半導体表示装置の補正方法。

【請求項11】 デジタル画像信号をアナログ画像信号に変換する工程と、

入力される前記アナログ画像信号をガンマ補正する工程と、

ガンマ補正された前記アナログ画像信号を映像に変換する工程と、

前記映像をデジタル信号に変換する工程と、

前記デジタル画像信号と前記デジタル信号とを比較し、その差を前記ガンマ補正する工程に戻し、ガンマ補正データを得る工程と、

前記ガンマ補正データをメモリに記憶させる工程と、を含む半導体表示装置の補正方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

【0002】 本発明は、半導体装置および半導体表示装置補正システムに関する。特に、画素、駆動回路、および不揮発性メモリ等の周辺回路が、SOI (Silicon on Insulator) 技術を用いて絶縁基板上に一体形成された半導体表示装置に関する。また、半導体表示装置の補正方法に関する。ここでいうSilicon on Insulatorは単結晶、あるいは実質的に単結晶であるものを指す。

【0003】

【従来の技術】

【0004】 最近、安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置 (液晶パネル) の需要が高まってきたことによる。

【0005】 アクティブマトリクス型液晶パネルは、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれTFTが配置され、各画素電極に入り出する電荷をTFTのスイッチング機能により制御するものである。

【0006】 従来のアクティブマトリックス型液晶表示装置を図23に示す。従来のアクティブマトリックス型液晶表示装置は、図23に示すようにソース線側ドライバ2301と、ゲート線側ドライバ2302と、マトリクス状に配置された複数の画素TFT2303と、画像信号線2304とを有している。

【0007】 ソース線側ドライバおよびゲート線側ドライバは、シフトレジスタやバッファ回路などを含み、近年アクティブマトリクス回路と同一基板上に一体形成さ

れる。

【0008】アクティブマトリクス回路には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【0009】また、基板として石英を利用し、多結晶珪素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路もアクティブマトリクス回路も石英基板上に形成される薄膜トランジスタでもって構成される。

【0010】また、レーザーニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板にアクティブマトリクス回路と周辺駆動回路とを集積化することができる。

【0011】図23に示すような構成においては、ソース線側ドライバのシフトレジスタ回路（水平走査用のシフトレジスタ）からの信号により、画像信号線2304に供給される画像信号が選択される。そして対応するソース信号線に所定の画像信号が供給される。

【0012】ソース信号線に供給された画像信号は、画素の薄膜トランジスタにより選択され、所定の画素電極に書き込まれる。

【0013】画素の薄膜トランジスタは、ゲート線側ドライバのシフトレジスタ（垂直走査用のシフトレジスタ）からゲート信号線を介して供給される選択信号により動作する。

【0014】この動作をソース線側ドライバのシフトレジスタからの信号と、ゲート線側ドライバのシフトレジスタからの信号とにより、適当なタイミング設定で順次繰り返し行うことによって、マトリクス状に配置された各画素に順次情報が書き込まれる。

【0015】近年、アクティブマトリクス型液晶表示装置がノート型のパソコンコンピュータに多用されてきている。パソコンコンピュータにおいては、複数のソフトウェアを同時に起動したり、デジタルカメラからの映像を取り込んで加工したりと、大画面、高解像度、かつ多階調な表示ができる液晶表示装置が要求されている。

【0016】また、ハイビジョン信号などのテレビ信号を表示することができる、大画面に対応した液晶プロジェクタの需要が高まっている。この場合も階調表示をいかに細かくできるかということが、提供される画像の良否を左右する。

【0017】上述したように、高画質な映像を提供するためには、どこまで細かく階調表示が実現できるか重要なとなる。階調表示の方式としては、ソース線にビデオ信号やテレビジョン信号などのアナログ信号を画像信号線に供給する方式（アナログ階調）と、パソコンコンピュータ等からのデジタル信号を画像信号線に供給する方式（デジタル階調）とがある。

【0018】アナログ階調では、上述したようにソースドライバからの信号により、画像信号線に供給されるアナログ画像信号が順次選択され、対応するソース線に所定の画像信号が供給される。

【0019】デジタル階調では、画像信号線に供給されるデジタル信号が順次選択され、D/A変換された後、対応するソース線に所定の画像信号が供給される。

【0020】

【発明が解決しようとする課題】

【0021】液晶表示装置の場合、デジタル階調、あるいはアナログ階調のいずれの階調表示を用いる場合でも、液晶パネルの各画素を透過する透過光強度を画素に印加する電圧を制御することによって、階調表示を実現している。液晶パネルの画素に印加する電圧（V）と画素を透過する透過光強度との間には、図24の点線で示されるような関係がある。ただし、ここでは、液晶表示装置はTN（ツイストネマチック）モードで電圧が印加されていない時に明状態となるノーマリホワイトモードを用いているものを例に挙げている。

【0022】図23からも理解されるように液晶パネルの画素に印加される電圧と画素を透過する透過光強度との間には、非線形の関係がある。言い換えると、画素に印加される電圧と透過光強度とには、線形関係がなく、印加する電圧に応じた透過光強度の制御が困難である。よって所望の階調表示を実現することは難しい。

【0023】上述した液晶パネルの欠点を補うために、ガンマ補正という手段が取られている。ガンマ補正とは、供給される画像信号に電圧を補正し、印加電圧に応じて透過光強度が線形的に変化するようにするものであり、良好な階調表示を得ることができる。ガンマ補正を施した場合の、印加電圧と透過光強度との関係は図24では実線で示す。図24の実線で示されるように、画像信号にガンマ補正を施すと、印加電圧と透過光強度との関係はほぼ線形となり、印加される電圧に応じた透過光強度の制御が可能となり、良好な階調表示を行うことができる。

【0024】しかし従来では、供給される画像信号にガンマ補正を施すには、別途IC回路が必要であり、液晶パネルの外部にIC回路搭載した基板を別途設けなければならない。よって、良好な階調表示が実現できても、部品の増加を伴い、かつ商品の小型化が事実上不可能であった。

【0025】また、アクティブマトリクス型液晶表示装置は、その性質上、製造される液晶パネルごとに表示特性が若干異なってくる。しかし従来は、ガンマ補正に用いられるICチップ、およびICチップに記憶されているデータは同じものがすべての液晶パネルに用いられてきた。よって、液晶パネル一つ一つの表示特性は考慮に入れられず、完全なガンマ補正を行うことができない。よって、出荷される液晶パネル商品には階調表示の精度

にはらつきがあり、このことが問題となっている。

【0026】そこで本発明は、上記の事情を鑑みてなされたものであり、部品の増加を伴わず良好な階調表示が実現できる、小型化が可能な半導体表示装置、特に液晶表示装置を提供することを課題とする。また、この半導体表示装置のガンマ補正の為のシステムを提供することを課題とする。

【0027】

【課題を解決するための手段】

【0028】本発明のある実施態様によると、デジタル画像信号を供給する手段と、前記デジタル信号をガンマ補正するための制御回路と、前記ガンマ補正するためのデータを記憶するメモリと、を備えた半導体表示装置と、前記半導体表示装置に表示される画像をデジタル信号に変換する手段と、前記デジタル画像信号と前記デジタル信号とを比較する手段と、を備えた半導体表示装置補正システムであって、前記制御回路および前記メモリは、TFTによって構成され、かつ同一絶縁基板上に一体形成される半導体表示装置補正システムが提供される。このことによって上記目的が達成される。

【0029】前記メモリは、不揮発性メモリであってもよい。

【0030】前記不揮発性メモリは、複数のFAMOS型TFTを含んでいてもよい。

【0031】揮発性メモリを更に備え、前記揮発性メモリは、TFTによって構成され、かつ前記制御回路および前記メモリと同一絶縁基板上に一体形成されてもよい。

【0032】本発明のある実施態様によると、デジタル画像信号を供給する手段と、前記デジタル信号をアナログ信号に変換する手段と、前記アナログ画像信号をガンマ補正するための制御回路と、前記ガンマ補正するためのデータを記憶するメモリと、を備えた半導体表示装置と、前記半導体表示装置に表示される画像をデジタル信号に変換する手段と、前記デジタル画像信号と前記デジタル信号とを比較する手段と、を備えた半導体表示装置補正システムであって、前記制御回路および前記メモリは、TFTによって構成され、かつ同一絶縁基板上に一体形成される半導体表示装置補正システムが提供される。このことによって上記目的が達成される。

【0033】前記メモリは、不揮発性メモリであってもよい。

【0034】前記不揮発性メモリは、複数のFAMOS型TFTを含んでいてもよい。

【0035】揮発性メモリをさらに備え、前記揮発性メモリは、TFTによって構成され、かつ前記制御回路および前記メモリと同一絶縁基板上に一体形成されてもよい。

【0036】本発明のある実施態様によると、入力されるデジタル画像信号をガンマ補正する工程と、ガンマ補

正されたデジタル画像信号を映像に変換する工程と、前記映像をデジタル信号に変換する工程と、前記デジタル画像信号と前記デジタル信号とを比較し、その差を前記ガンマ補正する工程に戻し、ガンマ補正データを得る工程と、前記ガンマ補正データをメモリに記憶させる工程と、を含む半導体表示装置の補正方法が提供される。このことによって上記目的が達成される。

【0037】本発明のある実施態様によると、デジタル画像信号をアナログ画像信号に変換する工程と、入力される前記アナログ画像信号をガンマ補正する工程と、ガンマ補正された前記アナログ画像信号を映像に変換する工程と、前記映像をデジタル信号に変換する工程と、前記デジタル画像信号と前記デジタル信号とを比較し、その差を前記ガンマ補正する工程に戻し、ガンマ補正データを得る工程と、前記ガンマ補正データをメモリに記憶させる工程と、を含む半導体表示装置の補正方法が提供される。このことによって上記目的が達成される。

【0038】

【実施例】

【0039】(実施例1)

【0040】本実施例では、ガンマ補正制御回路、およびガンマ補正データを記憶する不揮発性メモリをSOI(Silicon On Insulator)技術を用いて絶縁基板上に一体形成した半導体表示装置のガンマ補正システムについて説明する。特に、半導体表示装置の中でも、デジタル階調の液晶表示装置を用いたガンマ補正システムについて説明する。なお、本実施例では、4ビットのデジタル画像信号により、16階調の表示が行える液晶表示装置を用いたが、本発明のガンマ補正システムは、16階調に限定されるわけではなく、64階調、128階調、256階調、あるいはさらに高い階調の液晶表示装置を用いることができる。なお、本願明細書では、半導体活性層であるシリコンは、単結晶あるいは実質的に単結晶である。

【0041】図1を参照する。図1は、本実施例の液晶表示装置のガンマ補正システムの概略構成図である。101はシグナルジェネレータ(SG)であり、デジタル画像信号(階調信号)を供給する。102はガンマ補正制御回路であり、103は4kビット不揮発性メモリである。ガンマ補正制御回路102は、シグナルジェネレータ101から供給されるデジタル画像信号をガンマ補正し(それぞれの階調信号がガンマ補正制御回路102に最初に入力される時は、階調信号はガンマ補正されなくてよい)、ソース信号線側ドライバ104に送出する。ソース信号線側ドライバ104に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ105からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。

【0042】表示された映像は、撮像装置107を用いてデジタル信号化される。なお、本実施例では、撮像装置107には、CCDカメラを用いたが、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いることよい。

【0043】撮像装置107から送出されるデジタル信号は、デジタルシグナルプロセッサ(DSP)に供給される。デジタルシグナルプロセッサ108は、撮像装置107から供給されるデジタル信号とリファレンスデータ供給源109から供給されるデジタル信号とを比較し、そのデータのずれをガンマ補正制御回路にフィードバックする。なお、リファレンスデータは、シグナルジェネレータ101から直接供給されてもよい。

【0044】デジタルシグナルプロセッサ108から供給される信号に従って、ガンマ補正制御回路102は、シグナルジェネレータ101からのデジタル画像信号をさらに補正し、再びソース信号線側ドライバ104に補正されたデジタル画像信号を送出する。ソース信号線側ドライバ104に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ105からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が再び書き込まれ、画素領域に映像が表示される。

【0045】表示された映像は、撮像装置107を用いて再びデジタル信号化される。撮像装置107から供給されるデジタル信号は、デジタルシグナルプロセッサ108に送出される。デジタルシグナルプロセッサ108は、撮像装置107から供給されるデジタル信号とリファレンスデータ供給源109から供給されるデジタル信号とを比較し、そのずれをガンマ補正制御回路に再びフィードバックする。

【0046】以上の動作が適当なガンマ補正のデータが得られるまで繰り返される。例えば、シグナルジェネレータから画素に印加される最大電圧の10%の電圧データ(階調信号)がガンマ補正制御回路に供給された場合、画素領域に表示される画像の強度が最大電圧が印加された時の10% (あるいはほぼ10%) となるまで繰り返される。

【0047】適切なガンマ補正のデータが得られたら、そのデータを不揮発性メモリ103の指定したアドレスに記憶する。なお、不揮発性メモリの動作については後述することにする。

【0048】その後、次の階調信号の補正を開始するために、シグナルジェネレータ101は、前回と異なるデジタル画像信号(階調信号)をガンマ補正制御回路102に送出する。そして上述した動作が繰り返され、その

階調信号に対する適切なガンマ補正のデータが得られたら、そのデータを不揮発性メモリ103の指定したアドレスに記憶する。

【0049】なお、本実施例の液晶表示装置は、4ビットのデジタル画像信号により、16階調の表示が行える。よって、上記の動作をそれぞれの階調信号の場合に行い、それぞれの階調信号に対応したガンマ補正データを不揮発性メモリに記憶する。

【0050】なお本実施例では、不揮発性メモリ103に4kビットのメモリを用いたが、メモリ103の記憶容量はこれ限られることはない。不揮発性メモリ103には、扱うデジタル画像信号のビット数(すなわち、階調数)に応じて、4kビット以下あるいはこれ以上の記憶容量を有するメモリが用いられてもよい。

【0051】図2には、本実施例のガンマ補正システムを模式的に示した図が示される。図2に示すガンマ補正システムは、主に、直視型の液晶パネルのガンマ補正データを作成するときに用いられる。なお、この他に液晶パネルのバックライトなどが用いられるが、ここでは省略する。また、リファレンスデータは、シグナルジェネレータ1004から供給されるものとする。

【0052】階調信号のガンマ補正データが全てメモリ103に記憶されると、シグナルジェネレータ101、デジタルシグナルプロセッサ108は、液晶パネルから切り離される。以上をもって、ガンマ補正のデータの作成が終了する。

【0053】以後、デジタル画像信号がガンマ補正制御回路102に供給され、メモリ103に記憶されているガンマ補正データに基づいて、デジタル画像信号がガンマ補正され、ソース信号線側ドライバ104に供給される。ソース信号線側ドライバ104に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ105からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。表示される映像には適切なガンマ補正が施されているので、階調表示の良好な映像が表示される。なお、供給されるデジタル画像信号は、コンピュータなどからのデータ信号でもよいし、テレビジョン信号やビデオ信号などのアナログ信号をD/A変換し、デジタル信号としたものでもよい。

【0054】本実施例の液晶表示装置は、図1において参照符号110で示される部分、つまり画素領域106、ソース信号線側ドライバ104、ゲイト信号線側ドライバ105、ガンマ補正制御回路102、および不揮発性メモリ103のいずれもがTFTによって構成され、基板上に一体形成される。また、その他の周辺回路もTFTによって基板上に一体形成され得る。さらに、他の周辺回路が、ICチップとして基板上に搭載されてもよい。

【0055】次に本実施例の不揮発性メモリ103について説明する。なお、本実施例の不揮発性メモリは、一実施例にすぎず、本発明のガンマ補正システムには、他の構成を有する不揮発性メモリが用いられてもよい。

【0056】図3を参照する。図3には、本実施例の不揮発性メモリ103の回路図が示される。本実施例の不揮発性メモリ103は、Tr1およびTr2を備えた複数のメモリ素子とXおよびYアドレスデコーダ301、302とによって構成される。図3に示されるように、各ビット情報が記録されるメモリ素子（記憶素子）は、2個のTFTによって構成され、1つはフローティングゲートを有するPチャネルFAMOS（Floating gate Avalanche injection MOS）型不揮発性記憶素子Tr1であり、もう一つはNチャネルスイッチング素子Tr2である。2個のTFT Tr1およびTr2は、ドレイン電極が互いに直列に接続されており、この直列接続回路によって1ビットの記憶素子を構成する。この記憶素子が縦64個×横64個マトリクス状に配列されている。各記憶素子は1ビットの情報を記憶することができるので、本実施例では不揮発性メモリ103は、4096ビット（＝約4kビット）の記憶容量を有する。

【0057】各列に配置されている記憶素子は、A0、B0～A63、B63によって構成される信号線に、その両端が接続されている。また、各行に配列されている記憶素子は、信号線C0、D0～C63～D63に各記憶素子のゲート電極が接続されている。なお図3に示さ

	A1 (V)	B1 (V)	C1 (V)	D1 (V)
書き込み時	0/-5	GND	50	5
読み出し時	-	GND	0	5

【0064】なお、記憶素子に記憶されている記憶内容は、不揮発性メモリ103に、X線、紫外線、あるいは電子線などを照射するか、熱を与えることによって消去できる。

【0065】不揮発性メモリ103には、外部の画像信号供給源から供給されるデジタル画像信号にガンマ補正を施す為のデータが記憶されている。

【0066】次に、本実施例の液晶表示装置の作製工程について説明する。

【0067】本実施例では絶縁表面を有する基板上に複数のTFTを形成し、画素領域のマトリクス回路とドライバ回路を含む周辺回路とをモノリシックに構成する例を図4～図7に示す。なお本実施例では、ガンマ補正データを記憶する不揮発性メモリを備えている。この不揮発性メモリは、フローティングゲートを有するPチャネルFAMOS回路を備えている、ここでは、FAMOS型TFTおよびそのスイッチング素子、および画素TFTについて説明する。なお、ドライバ等の周辺回路に代表的に用いられるCMOS回路も同様に作製され得る。な

れるように、本実施例では、不揮発性メモリ105を構成する記憶素子に、(0, 0)、(1, 0)、(63, 63)といった符号が付けられている。

【0058】各信号線A0、B0～A63、B63、およびC0、D0～C63～D63は、それぞれXアドレスデコーダ301およびYアドレスデコーダ302に接続されている。このXアドレスデコーダ301およびYアドレスデコーダ302によって、記憶素子のアドレスが指定され、データの書き込みあるいは読み出しが行われる。

【0059】次に、不揮発性メモリ103の書き込みおよび読み出し動作について、記憶素子(1, 1)を例にとって説明する。

【0060】まず、記憶素子(1, 1)にデータを書き込む場合、信号線C1には50Vの高電圧が印加される。また、信号線D1にも5Vの電圧が印加される。そこで信号線B1をGNDにおとし、A1に-5Vの電圧を印加すると、Tr1のフローティングゲートに電荷が蓄積される。Tr1のフローティングゲートに蓄積された電荷は保持される。

【0061】次に、記憶素子(1, 1)からデータを読み出す場合、信号線C1には0Vが印加され、D1には5Vが印加される。そしてB1をGNDにおとすと、記憶されていた信号がA1から読み出される。

【0062】以上の動作を下の表にまとめる。

【0063】

【表1】

お、本実施例では、Pチャネル型とNチャネル型とがそれぞれ1つのゲート電極を備えた回路について、その作製工程を説明するが、ダブルゲート型のような複数のゲート電極を備えた回路も同様に作製することができる。また、本実施例では、FAMOS型TFTのスイッチング素子としてNチャネル型TFTを用いたが、このスイッチング素子をPチャネル型TFTとしてもよい。

【0068】図4を参照する。まず、絶縁表面を有する基板として石英基板401を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

【0069】402は非晶質珪素膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～100nm（好ましくは10～70nm）となる様に調節する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。また、FAMOS型TFT

を構成する非晶質珪素膜の最終的な膜厚を10nm～40nmとし、他のTFTを構成する非晶質珪素膜の最終的な膜厚を20～70nmとなるようにし、非晶質珪素膜の膜厚を異ならせててもよい。こうすることによって、インパクトトイオナイゼイションが起こりやすくなり、FAMOS型TFTのフローティングゲート電極へのキャリアの注入がされやすくなる場合があると考えられる。

【0070】本実施例の場合、非晶質珪素膜402において代表的な不純物であるC(炭素)、N(窒素)、O(酸素)、S(硫黄)の濃度はいずれも 5×10^{18} atoms/cm³未満(好ましくは 1×10^{18} atoms/cm³以下)となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

【0071】なお、非晶質珪素膜402中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜402の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0072】次に、非晶質珪素膜402の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同広報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0073】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜403を形成する。マスク絶縁膜403は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

【0074】そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液をスピノコート法により塗布し、Ni含有層404を形成する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる(図4(A))。

【0075】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0076】次に、触媒元素の添加工程が終了したら、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃(代表的には550～650℃)の温度で4～24時間の加熱処理を加えて非晶質珪素膜802の結晶化を行

う。本実施例では窒素雰囲気で570℃で14時間の加熱処理を行う。

【0077】この時、非晶質珪素膜402の結晶化はニッケルを添加した領域405および406で発生した核から優先的に進行し、基板401の基板面に対してほぼ平行に成長した結晶領域407および408が形成される。この結晶領域407および408を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある(図4(B))。

【0078】なお、上述の特開平7-130652号公報の実施例1に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0079】結晶化のための加熱処理が終了したら、マスク絶縁膜403を除去してバーニングを行い、横成長領域407および408でなる島状半導体層(活性層)409、410、および411を形成する(図4(C))。

【0080】ここで409はP型TFTの活性層、410は記憶素子のCMOS回路を構成するN型TFTの活性層、411は画素マトリクス回路を構成するN型TFT(画素TFT)の活性層である。

【0081】活性層409、410、および411を形成したら、その上に珪素を含む絶縁膜でなるゲート絶縁膜412を成膜する。

【0082】そして、次に図4(D)に示す様に触媒元素(ニッケル)を除去または低減するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0083】なお、ハロゲン元素によるゲッタリング効果を十分に得るためにには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。

【0084】そのため本実施例ではこの加熱処理を700℃を超える温度で行い、好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0085】なお、本実施例では酸素雰囲気中に対して塩化水素(HCl)を0.5～1.0体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃で、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層409、410、および411の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0086】また、ハロゲン元素を含む化合物としてHC

Iガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0087】この工程においては活性層409、410、および411中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層409、410、および411中のニッケルの濃度は 5×10^{17} atoms/cm³以下にまで低減される。

【0088】なお、 5×10^{17} atoms/cm³という値はSIMS（質量二次イオン分析）の検出下限である。本発明者らが試作したTFTを解析した結果、 1×10^{18} atoms/cm³以下（好ましくは 5×10^{17} atoms/cm³以下）ではTFT特性に対するニッケルの影響は確認されなかった。ただし、本明細書中における不純物濃度は、SIMS分析の測定結果の最小値でもって定義される。

【0089】また、上記加熱処理により活性層409、410、および411とゲート絶縁膜412の界面では熱酸化反応が進行し、熱酸化膜の分だけゲート絶縁膜412の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0090】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950°Cで1時間程度の加熱処理を行なうことで、ゲート絶縁膜412の膜質の向上を図ることも有効である。

【0091】なお、SIMS分析により活性層409、410、および411中にはゲッタリング処理に使用したハロゲン元素が、 1×10^{15} atoms/cm³～ 1×10^{20} atoms/cm³の濃度で残存することも確認されている。また、その際、活性層409、410、および411と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0092】また、他の元素についてもSIMS分析を行った結果、代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）はいずれも 5×10^{18} atoms/cm³未満（典型的には 1×10^{18} atoms/cm³以下）であることが確認された。

【0093】次に、図5を参照する。図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲート電極の原型413、414、および415を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる（図5（A））。なお、後に413はPチャネルFAMOS型TFTのフロ

ーティングゲイトとなる。

【0094】次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜416、417、および418、無孔性の陽極酸化膜419、420、および421、ゲート電極422、423、および424を形成する（図5（B））。

【0095】こうして図5（B）の状態が得られたら、次にゲート電極422、423、および424、多孔性の陽極酸化膜416、417、および418をマスクとしてゲート絶縁膜412をエッティングする。そして、多孔性の陽極酸化膜416、417、および418を除去して図5（C）の状態を得る。なお、図4（C）において425、426、および427で示されるのは加工後のゲート絶縁膜である。

【0096】次に、ゲート電極422を分断し、フローティングゲート422'を作製する。

【0097】次に図6を参照する。図6に示す工程では、一導電性を付与する不純物元素の添加を行う。不純物元素としてはN型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）を用いれば良い。

【0098】本実施例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加（本実施例ではP（リン）を用いる）を高加速電圧80keV程度で行い、n⁻領域を形成する。このn⁻領域は、Pイオン濃度が 1×10^{18} atoms/cm³～ 1×10^{19} atoms/cm³となるように調節する。

【0099】さらに、2回目の不純物添加を低加速電圧10keV程度で行い、n⁺領域を形成する。この時は、加速電圧が低いので、ゲート絶縁膜がマスクとして機能する。また、このn⁺領域は、シート抵抗が500Ω以下（好ましくは300Ω以下）となるように調節する。

【0100】以上の工程を経て、CMOS回路を構成するN型TFTのソース領域428、ドレイン領域429、低濃度不純物領域430、チャネル形成領域431が形成される。また、画素TFTを構成するN型TFTのソース領域432、ドレイン領域433、低濃度不純物領域434、チャネル形成領域435が確定する（図6（A））。

【0101】なお、図6（A）に示す状態ではCMOS回路を構成するP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0102】次に、図6（B）に示すように、N型TFTを覆ってレジストマスク436を設け、P型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行う。

【0103】この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。

【0104】こうしてCMOS回路を構成するP型TFTのソース領域438、ドレイン領域437、低濃度不純物領域439、チャネル形成領域440が形成される(図6(B))。

【0105】なお、FAMOS型TFTの不純物領域437、438、および439は、低濃度不純物領域439を設けないようにしてよい。

【0106】以上の様にして活性層が完成したら、ファーネスアニール、レーザーハニール、ランフアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0107】次に、層間絶縁膜441として酸化珪素膜と窒化珪素膜との積層膜を形成した(図6(C))。次に、層間絶縁膜441にコンタクトホールを形成した後、ソース電極442、443、および444、ドレイン電極445、446、およびゲート電極447を形成して図6(D)に示す状態を得る。ゲート電極447は、FAMOS型TFTの制御ゲート電極となる。

【0108】次に図7を参照する。次に、有機性樹脂膜でなる第2の層間絶縁膜448を0.5~3μmの厚さに形成する(図7(A))。この有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミドなどが用いられる。この第2の層間絶縁膜448に有機性樹脂膜を用いることの利点は、①成膜方法が簡単であること、②膜厚を容易に厚くできること、③比誘電率が低いので寄生容量を低減できること、④平坦性に優れていること、などが挙げられる。

【0109】次に、10~50nmの厚さの窒化珪素膜450、ブラックマスク449を形成する(図7(A))。

【0110】次に、酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかあるいはこれらの積層膜からなる第3の層間絶縁膜450を0.1~0.3μmの厚さに形成する。そして、層間絶縁膜450にコンタクトホールを形成し、成膜した導電膜をバーニングすることにより画素電極451を形成する。本実施例は透過型の例であるため画素電極451を構成する導電膜としてITO等の透明導電膜を用いる。

【0111】図7(A)の構成では、層間絶縁膜450を介して、画素電極451とブラックマスク449とが重疊する領域で補助容量が形成する。

【0112】なお、図7(A)に示すような構成では、広い面積を占めやすい補助容量をTFTの上に形成することで開口率の低下を防ぐことが可能である。また、誘電率の高い窒化珪素膜を25nm程度の厚さで用いると、少ない面積で非常に大きな容量を確保することが可能である。

【0113】次に、基板全体を350°Cの水素雰囲気で1~2時間加熱し、素子全体の水素化を行うことで膜中

(特に活性層中)のダングリングボンド(不対結合手)を補償する。以上の工程を経て同一基板上にFAMOS型記憶素子、CMOS回路および画素マトリクス回路を作製することができる。

【0114】次に、図7(B)に示すように、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶パネルを作製する工程を説明する。

【0115】図7(A)の状態のアクティブマトリクス基板に配向膜452を形成する。本実施例では、配向膜452には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板453、透明導電膜454、配向膜455とで構成される。

【0116】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0117】なお、対向基板には必要に応じてブラックマスクやカラーフィルタなどが形成されるが、ここでは省略する。

【0118】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(図示せず)などを介して貼り合わせる。その後、両基板の間に液晶材料456を注入し、封止剤(図示せず)によって完全に封止する。よって、図7(B)に示すような透過型の液晶パネルが完成する。

【0119】なお、本実施例では、液晶パネルが、TNモードによって表示を行うようにした。そのため、1対の偏光板(図示せず)がクロスニコル(1対の偏光板が、それぞれの偏光軸を直交させるような状態)で、液晶パネルを挟持するように配置された。

【0120】よって、本実施例では、液晶パネルに電圧が印加されていないとき明状態となる、ノーマリホワイトモードで表示を行うことが理解される。

【0121】また、図7(B)に示した様なアクティブマトリクス基板の斜視図外観を図8に簡略化して示す。図8において、801は石英基板、802は画素マトリクス回路、803はソース信号線側ドライバ回路、804はゲート信号線側ドライバ回路、805はガンマ補正制御回路、およびガンマ補正データを記憶する不揮発性メモリを含むロジック回路である。

【0122】ロジック回路805は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するため、それ以外の信号処理回路、およびメモリなどを指す。

【0123】図9にFAMOS型TFTを含む記憶素子、画素TFT、ロジック回路を構成するCMOS回路が、同一基板上に一体形成されている様子を示す。

【0124】また、メモリに用いられているFAMOS型 TFTのフローティングゲートにSiを用いた場合にも、メモリは周辺回路やロジック回路と同一構造を有し、本発明が適用できる。

【0125】また、本実施例では、FAMOS型のTFTを含むメモリを用いる場合について説明したが、メモリに他の型のTFTを用いてもよい。

【0126】また、こうして形成された液晶パネルには外部端子としてFPC (Flexible Print Circuit) 端子が取り付けられる。一般的に液晶モジュールと呼ばれるのはFPCを取り付けた状態の液晶パネルである。

【0127】このように本実施例では、ガンマ補正制御回路とガンマ補正データを記憶する不揮発性メモリとが基板上に一体形成されている。よって、液晶表示装置の小型化をはかることができる。

【0128】

【0129】(実施例2)

【0130】本実施例では、本発明のガンマ補正システムを用いたフロントプロジェクタについて説明する。

【0131】図10を参照する。1001は、フロントプロジェクタ本体である。フロントプロジェクタ本体1001の中には、液晶パネルや光源が収められている光学エンジン1002、光学系1002などが備えられている。なお、本実施例のフロントプロジェクタは、液晶パネルが3枚用いられる3板式の液晶フロントプロジェクタとする。1004はシグナルジェネレータ、1005はデジタルシグナルプロセッサである。なおリファレンスデータは、シグナルジェネレータ1004から供給されるものとする。なお、ガンマ補正のデータを作成するときは、上記実施例1で説明したように、シグナルジェネレータ1004およびデジタルシグナルプロセッサ1005は、光学エンジン1002内の液晶パネルに接続される。1006は撮像装置であり、本実施例ではCCDカメラを用いた。撮像装置1006は、スクリーン1007に映し出された映像をデジタル信号に変換する。なお、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いるとよい。

【0132】本実施例では、3板式の液晶フロントプロジェクタを用いたので、3つの液晶パネルについてそれぞれ上記実施例1で説明したような、ガンマ補正データの作成を行う必要がある。3つの液晶パネルについてガンマ補正データを作成し終えたら、シグナルジェネレータ1004、デジタルシグナルプロセッサ1005などは取り外される。

【0133】(実施例3)

【0134】本実施例では、本発明のガンマ補正システ

ムを用いたリアプロジェクタについて説明する。

【0135】図11を参照する。1101は、リアプロジェクタ本体である。リアプロジェクタ本体1101の中には、液晶パネルや光源が収められている光学エンジン1102、リフレクター1103、1104、およびスクリーン1105などが備えられている。なお、本実施例のリアプロジェクタは、液晶パネルが3枚用いられる3板式の液晶リアプロジェクタとする。1106はシグナルジェネレータ、1107はデジタルシグナルプロセッサである。なおリファレンスデータは、シグナルジェネレータ1106から供給されるものとする。なお、ガンマ補正のデータを作成するときは、上記実施例1で説明したように、シグナルジェネレータ1106およびデジタルシグナルプロセッサ1107は、光学エンジン1102内の液晶パネルに接続される。1108は撮像装置であり、本実施例ではCCDカメラを用いた。撮像装置1108は、スクリーン1105に映し出された映像をデジタル信号に変換する。なお、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いるとよい。

【0136】本実施例では、3板式の液晶リアプロジェクタを用いたので、3つの液晶パネルについてそれぞれ上記実施例1で説明したような、ガンマ補正データの作成を行う必要がある。3つの液晶パネルについてガンマ補正データを作成し終えたら、シグナルジェネレータ1106、デジタルシグナルプロセッサ1107などは取り外される。

【0137】(実施例4)

【0138】本実施例では、半導体表示装置の中でも、アナログ階調の液晶表示装置を用いたガンマ補正システムについて説明する。

【0139】図12を参照する。図12は、本実施例の液晶表示装置のガンマ補正システムの概略構成図である。1201はシグナルジェネレータ(SG)であり、デジタル画像信号(階調信号)を供給する。1202はD/A変換回路であり、シグナルジェネレータ1201から供給されるデジタル画像信号をアナログ信号に変換する。1203はガンマ補正制御回路であり、1204はD/A変換回路、1205はA/D変換回路、1206は不揮発性メモリである。ガンマ補正制御回路1203は、D/A変換回路1202から供給されるアナログ画像信号をガンマ補正し(それぞれの画像信号がガンマ補正制御回路1203に最初に入力される時は、階調信号はガンマ補正されなくてもよい)、ソース信号線側ドライバ1207に送出する。ソース信号線側ドライバ1207に供給されるガンマ補正されたアナログ画

像信号と、ゲイト信号線側シフトレジスタ1208からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。

【0140】表示された映像は、撮像装置1210を用いてデジタル信号化される。なお、本実施例では、撮像装置1210には、CCDカメラを用いたが、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いるとよい。

【0141】撮像装置1210から送出されるデジタル信号は、デジタルシグナルプロセッサ(DSP)に供給される。デジタルシグナルプロセッサ1210は、撮像装置1210から供給されるデジタル信号とリファレンスデータ供給源1212から供給されるデジタル信号とを比較し、そのデータのずれをガンマ補正制御回路にフィードバックする。この際、デジタルシグナルプロセッサ1211から送出されるデジタル信号は、D/A変換回路1213によってアナログ化され、ガンマ補正制御回路1203へ供給される。なお、リファレンスデータは、シグナルジェネレータ1201から直接供給されてもよい。

【0142】D/A変換回路1213から供給される信号に従って、ガンマ補正制御回路1203は、D/A変換回路1202からのアナログ画像信号をさらに補正し、再びソース信号線側ドライバ1207に補正されたアナログ画像信号を送出する。ソース信号線側ドライバ1207に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ1208からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。

【0143】表示された映像は、撮像装置1210を用いて再びデジタル信号化される。撮像装置1210から供給されるデジタル信号は、デジタルシグナルプロセッサ1211に送出される。デジタルシグナルプロセッサ1211は、撮像装置1210から供給されるデジタル信号とリファレンスデータ供給源1212から供給されるデジタル信号とを比較し、そのずれをD/A変換回路1213を通してガンマ補正制御回路1203に再びフィードバックする。

【0144】以上の動作が適当なガンマ補正のデータが得られるまで繰り返される。

【0145】適切なガンマ補正のデータが得られたら、そのデータをA/D変換回路1205によってデジタル化し、不揮発性メモリ1206の指定したアドレスに記憶する。

【0146】その後、次の階調信号の補正を開始するために、シグナルジェネレータ1201は、前回と異なるデジタル画像信号(階調信号)をD/A変換回路1202に送出する。そして、D/A変換回路によってアナログ化されたアナログ画像信号は、ガンマ補正制御回路に入力される。上述した動作が繰り返され、その階調信号に対する適切なガンマ補正のデータが得られたら、そのデータをA/D変換回路によってデジタル化し、不揮発性メモリ1206の指定したアドレスに記憶する。

【0147】階調信号のガンマ補正データが全て不揮発性メモリ1206に記憶されると、シグナルジェネレータ1201、D/A変換回路1202、デジタルシグナルプロセッサ1211は、液晶パネルから切り離される。以上をもって、ガンマ補正のデータの作成が終了する。

【0148】以後、アナログ画像信号がガンマ補正制御回路1203に供給され、不揮発性メモリ1206に記憶されているガンマ補正データに基づいて、アナログ画像信号がガンマ補正され、ソース信号線側ドライバ1207に供給される。ソース信号線側ドライバ1207に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ1208からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。表示される映像には適切なガンマ補正が施されているので、階調表示の良好な映像が表示される。なお、供給されるアナログ画像信号は、テレビジョン信号やビデオ信号などのアナログ信号が用いられてもよい。

【0149】本実施例の液晶表示装置は、図12において参照符号1214で示される部分、つまり画素領域1209、ソース信号線側ドライバ1207、ゲイト信号線側ドライバ1208、ガンマ補正制御回路1203、D/A変換回路1204、A/D変換回路1205、および不揮発性メモリ1206のいずれもがTFTによって構成され、基板上に一体形成される。また、その他の周辺回路もTFTによって基板上に一体形成され得る。さらに、その他の周辺回路が、ICチップとして基板上に搭載されてもよい。また、D/A変換回路1204およびA/D変換回路1205は、ICチップとして基板上に搭載されてもよい。

【0150】なお本実施例では、不揮発性メモリ1206に4kビットのメモリを用いたが、メモリ1206の記憶容量はこれに限定されることはない。不揮発性メモリ1206には、いくつの箇所でガンマ補正を行うかに応じて、4kビット以下あるいはこれ以上の記憶容量を有するメモリが用いられてもよい。

【0151】また、本実施例の不揮発性メモリを有する液晶表示装置のガンマ補正システムは、実施例1の工程に従って作製され得る。また、実施例1、2、および3

で説明したシステム（直視、フロントプロジェクタ、リアプロジェクタによるガンマ補正データの作製）に適応させることができる。

【0152】（実施例5）

【0153】本実施例では、実施例1のガンマ補正システムにさらに揮発性メモリを備えたガンマ補正システムについて説明する。なお、本実施例では、6ビットのデジタル画像信号を扱う64階調の半導体表示装置を用いるものとする。特に、半導体表示装置の中でも、液晶表示装置を用いるものとする。なお、本実施例では、6ビットのデジタル画像信号により、64階調の表示が行える液晶表示装置を用いたが、本発明のガンマ補正システムは、64階調の半導体表示装置に限定されるわけではなく、64階調、128階調、256階調、あるいはさらに高い階調の半導体表示装置を用いることもできる。

【0154】図13を参照する。図13は、本実施例の液晶表示装置のガンマ補正システムの概略構成図である。1301はシグナルジェネレータであり、デジタル画像信号（階調信号）を供給する。1302はガンマ補正制御回路である。1303は揮発性メモリ、1304は不揮発性メモリである。ガンマ補正制御回路1302は、シグナルジェネレータ1301から供給されるデジタル画像信号をガンマ補正し（それぞれの階調信号がガンマ補正制御回路102に最初に入力される時は、階調信号はガンマ補正されなくてもよい）、ソース信号線側ドライバ1305に送出する。1306はゲイト信号線側シフトレジスタであり、1307は複数の画素TFTがマトリクス状に配置された画素領域である。

【0155】1308は撮像装置であり、本実施例ではCCDカメラを用いた。また、撮像装置1308には、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いるとよい。

【0156】1309は、デジタルシグナルプロセッサであり、撮像装置1308から供給されるデジタル信号とリファレンステータ供給源1310から供給されるデジタル信号とを比較し、そのデータのずれをガンマ補正制御回路1302にフィードバックする。なお、リファレンステータは、シグナルジェネレータ1301から直接供給されてもよい。

【0157】本実施例のガンマ補正システムは、実施例1と同様の方法で、ガンマ補正のデータが作成される。実施例1と異なる点は、作成されたガンマ補正データは、高速の揮発性メモリ（SRAM）1303に一旦記憶される。すべてのガンマ補正データが得られ、揮発性メモリ1303の記憶内容が不揮発性メモリ1304に書き込まれる。

【0158】階調信号のガンマ補正データが全て不揮発性メモリ1304に記憶されると、シグナルジェネレータ1301、デジタルシグナルプロセッサ1309は、液晶パネルから切り離される。以上をもって、ガンマ補正のデータの作成が終了する。

【0159】以後、本実施例の液晶表示装置に電源が投入されると、不揮発性メモリ1304に記憶されている記憶内容が揮発性メモリ1303に書き込まれる。その後、デジタル画像信号がガンマ補正制御回路1302に供給され、揮発性メモリ1303に記憶されているガンマ補正データに基づいて、デジタル画像信号がガンマ補正され、ソース信号線側ドライバ1305に供給される。ソース信号線側ドライバ1305に供給されるガンマ補正された画像信号と、ゲイト信号線側シフトレジスタ1306からの信号とによって画素領域の対応する画素TFTが選択される。このようにして各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。表示される映像には適切なガンマ補正が施されているので、階調表示の良好な映像が表示される。なお、供給されるデジタル画像信号は、コンピュータなどからのデータ信号でもよいし、テレビジョン信号やビデオ信号などのアナログ信号をD/A変換し、デジタル信号としたものでもよい。

【0160】本実施例の液晶表示装置は、図13において参照符号1311で示される部分、つまり画素領域1307、ソース信号線側ドライバ1305、ゲイト信号線側ドライバ1306、ガンマ補正制御回路1302、揮発性メモリ1303、および不揮発性メモリ1304のいずれもがTFTによって構成され、基板上に一体形成される。また、その他の周辺回路もTFTによって基板上に一体形成され得る。さらに、その他の周辺回路が、ICチップとして基板上に搭載されてもよい。

【0161】本実施例の液晶表示装置は、電源投入時に不揮発性メモリに記憶されているガンマ補正データが、高速の揮発性メモリ1303に書き込まれる。ガンマ補正制御回路は、高速の揮発性メモリからガンマ補正データを読み出すので、高速な信号処理が行える。

【0162】また、本実施例のSRAMを上記実施例1～4に用いてもよい。

【0163】また、本実施例の不揮発性メモリを有する液晶表示装置のガンマ補正システムは、実施例1の工程に従って作製され得る。また、実施例1、2、および3で説明したシステム（直視、フロントプロジェクタ、リアプロジェクタによるガンマ補正データの作製）に適応させることができる。

【0164】（実施例6）

【0165】本実施例では、4ビットのデジタル階調の液晶表示装置のガンマ補正システムについて説明する。なお、本実施例では、4ビットのデジタル階調つまり、16階調の液晶表示装置を用いるが、必要に応じて、こ

れ以上の階調の液晶表示装置を用いることができる。

【0166】図14を参照する。図14には、本実施例のガンマ補正システムの構成図が示されている。1401はシグナルジェネレータであり、ガンマ補正データを作成する際にソース信号線側ドライバ1405に階調信号（デジタル信号）を供給する。1402はガンマ補正制御回路であって、ソース信号線ドライバ1404のD/A変換部に接続されている。1403は不揮発性メモリであり、作成されたガンマ補正データを記憶する。1405はゲート信号線ドライバであり、1406は複数の画素TFTがマトリクス状に配置された画素領域である。

【0167】1407は撮像装置であり、本実施例ではCCDカメラを用いた。また、撮像装置1407には、デジタルビデオカメラ等、他の撮像装置を用いることもできる。また、単に表示された映像の明るさや輝度を測定する輝度計あるいは照度計が用いられてもよい。輝度計あるいは照度計が用いられる場合、これらの装置から供給される信号をデジタル信号に変換するA/D変換回路を用いるとよい。

【0168】1408は、デジタルシグナルプロセッサ（DSP）であり、撮像装置1407から供給されるデジタル信号とリファレンスデータ供給源1409から供給されるデジタル信号とを比較し、そのデータのずれをガンマ補正制御回路1402にフィードバックする。なお、リファレンスデータは、シグナルジェネレータ1401から直接供給されてもよい。

【0169】次に、本実施例のガンマ補正システムの動作について説明する。図15を参照する。本実施例のガンマ補正システムでは、シグナルジェネレータ1401から供給される階調信号（デジタル信号）に直接ガンマ補正を行うのではなく、ソース信号線側ドライバのD/A変換回路部でガンマ補正を行う。

【0170】シグナルジェネレータ1401から送出される4ビットの階調信号は、ソース線側ドライバのアドレス線1502に供給される。アドレス線1502に供給された階調信号は、ソース信号線側シフトレジスタからの信号によって選択され、ラッチ回路303に一時的に貯えられる。階調信号は所定のタイミングでラッチ回路1503からスイッチング回路1504、電圧供給線（DC1～DC16）1505、および階調電圧制御回路1506から成るD/A変換回路部に入力される。

【0171】スイッチング回路1504は、ラッチ回路1103から供給される信号に従って、階調電圧制御回路1506で電圧が調整された電圧線DC1～DC16のうちいずれかの電圧供給線を選択し、ソース信号線1507に供給する。

【0172】ソース信号線1507に供給された所定の階調に対応した信号電圧と、ゲート信号線側シフトレジスタ1508からの信号とによって対応する画素TFT

1509が選択される。このようにして画素領域の各画素に所定の階調に対応した画像情報が書き込まれ、画素領域に映像が表示される。

【0173】表示された映像は、撮像装置1408を用いて再びデジタル信号化される。撮像装置1408から供給されるデジタル信号は、デジタルシグナルプロセッサ1409に送出される。デジタルシグナルプロセッサ1409は、撮像装置1408から供給されるデジタル信号とリファレンスデータ供給源1410から供給されるデジタル信号とを比較し、そのずれをガンマ補正制御回路に送出する。

【0174】次に図16を参照する。図16には、階調電圧制御回路1506、ガンマ補正制御回路1403、および不揮発性メモリ1404が示されている。階調電圧制御回路1506は、電圧供給線DC1～DC16、複数のTFT（T_{1,1}～T_{15,4}）および複数の抵抗から構成されている。

【0175】ガンマ補正制御回路によって選択されるTFTによって、電圧供給線DC1～DC16に印加される電圧が調整され、結果として階調信号がガンマ補正されるようになっている。

【0176】デジタルシグナルプロセッサ1409から送出される信号によって、ガンマ補正制御回路は、所望の電圧が得られるように階調電圧制御回路1506のTFTを制御する。

【0177】そして、調節された階調電圧信号によって、再び画素領域の画素TFTが選択され、画素領域に映像が表示される。表示された映像は、撮像装置1408で再びデジタル信号化され、デジタルシグナルプロセッサ1409によってリファレンスデータ1410と再び比較され、そのずれがガンマ補正制御回路1403に再び送出される。

【0178】以上の動作が適当なガンマ補正のデータが得られるまで繰り返される。例えば、シグナルジェネレータから画素に印加される最大電圧の10%の電圧データ（階調信号）がガンマ補正制御回路に供給された場合、画素領域に表示される画像の強度が最大電圧が印加された時の10%（あるいはほぼ10%）となるまで繰り返される。

【0179】得られたガンマ補正の為のデータ（つまり階調電圧制御回路のTFT（T_{1,1}～T_{15,4}）のうち、どの複数のTFTを選択するか）が、不揮発性メモリ1404に記憶される。

【0180】図17を参照する。図17には、本実施例で用いられる電圧供給線DC1～DC16に印加される電圧の状態を示した一例である。縦軸は電圧（V）を示している。なお、点線で示されているものはガンマ補正前のものであり、実線で示されているものはガンマ補正後のものである。

【0181】本実施例では、電圧供給線DC1～DC1

6に印加される階調電圧に、ガンマ補正を施すことによって、デジタル画像信号に応じてスイッチング回路11504によって選択された電圧線が所望の階調電圧をソース信号線に供給することができる。

【0182】ガンマ補正のためのデータが得られたら、デジタルシグナルプロセッサ1409、シグナルジェネレータ1401はとり外され、以後ソース信号線側ドライバのアドレス線に画像信号が供給される。

【0183】本実施例においては、アドレス線1502に供給されるデジタル信号は、直接はガンマ補正されていない。本実施例では、スイッチング回路1504によって選択される電圧供給線DC1～DC16に、それぞれ等電圧を印加するのではなく、あらかじめ非線型に電圧が印加されるようにしておく。そうすることによって、画像信号にガンマ補正をすることができる。

【0184】また、本実施例の不揮発性メモリを有する液晶表示装置のガンマ補正システムは、実施例1の工程に従って作製され得る。また、実施例1、2、および3で説明したシステム（直視、フロントプロジェクト、リアプロジェクトによるガンマ補正データの作製）に適応させることができる。

【0185】（実施例7）

【0186】本実施例では、上記実施例1～6のガンマ補正システムに用いられる不揮発性メモリを含む液晶表示装置の別の作製方法について説明する。

【0187】本実施例では、実施例1の非晶質珪素膜をレーザー光あるいはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜の結晶化を行う。レーザー光としては、エキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザを利用すればよい。

【0188】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプまたはメタルハライドランプからの強光、赤外光または紫外光ランプからの強光を利用することができます。

【0189】本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜の全面を結晶化する。この時、レーザー光のスウェーブ速度は1.2mm/s、処理温度は室温、パルス周波数は30Hz、レーザーエネルギーは300～315mJ/cm²とする。この工程によって結晶性珪素膜が得られる。

【0190】その他の工程については、実施例1と同じであるので、ここでは省略する。

【0191】なお、不揮発性メモリ部だけ本実施例の方法で作製し、他の部分は実施例1の方法で作製してもよい。

【0192】（実施例8）

【0193】本実施例では、上記実施例1において、結晶化に利用した触媒元素をゲッタリングして除去するた

めの工程を加えた場合の例を示す。具体的には触媒元素（ニッケル）のゲッタリングに15族から選ばれた元素によるゲッタリング効果を利用する。なお、15族から選ばれた元素においては、P（リン）、N（窒素）、As（砒素）、Sb（アンチモン）、Bi（ビスマス）を用いることができるが、本実施例では、代表的なリンを用いる場合を示す。

【0194】まず、実施例1の方法に従って、図4(B)の状態を得る。この状態では、非晶質珪素膜は、結晶化されている。その後、マスク絶縁膜403を除去し、新たに複数の開口部を有するレジストマスク1801を作成する（図18(A)）。この開口部は、後に活性層として利用しない（除去してしまう）領域が露出するような位置に形成する。

【0195】次に、レジストマスク1801をマスクとしてリンの添加工程を行う。この、添加工程にはイオン注入法またはイオンドーピング法を用いる。添加条件はRF電力を20W、加速電圧を5～30eV（代表的には10keV）に設定し、リンのドーズ量は1×10¹³atoms/cm²以上（好ましくは5×10¹³～5×10¹⁵atoms/cm²）とする。

【0196】添加するリンの濃度の目安としては、結晶性珪素膜402中に含まれるニッケル濃度よりも1桁以上高い濃度を添加するとよい。

【0197】こうして、結晶性珪素膜の内部には、リンが添加された領域（ゲッタリング領域）1802～1804が形成される（図18(A)）。

【0198】次に、レジストマスク1801を除去した後、ニッケルをゲッタリングするための加熱処理を行う。この加熱処理により被ゲッタリング領域1805～1807に含まれるニッケルは、矢印で示されるようにゲッタリング領域1802～1804に捕獲されていく（図18(B)）。

【0199】この加熱処理は、不活性雰囲気、水素雰囲気、酸化性雰囲気、またはハロゲン元素を含む酸化性雰囲気におけるファーネスアニールでよい。また、処理温度は、400～800℃（好ましくは550～650℃）とし、処理時間は2時間以上（好ましくは4～12時間）とすればよい。処理温度は高い方がより短時間で済み、ゲッタリング効果も高いが、ガラス基板の耐熱性を考慮すると650℃以下にすることが望ましい。また、基板に石英基板を用いる場合は、処理温度を高くしてもよいことが理解される。

【0200】こうして、ゲッタリング領域1802～1804にニッケルをゲッタリングしたら、結晶性珪素膜をパターンニングして、被ゲッタリング領域1805～1807のみから成る活性層1808～1810を形成する。この際、ゲッタリング領域1802～1804およびその近傍は、高濃度にニッケルを含んでいるため、活性層には利用しないで完全に除去することが好まし

い。

【0201】次にゲート絶縁膜1811を形成し、上部にアルミニウムを主成分とするゲート電極の原形1812～1814を形成する。以後の工程については、実施例1と同じであるので、ここでは省略する。

【0202】また、本実施例で作製した不揮発性メモリを含む液晶表示装置を、実施例1、2、および3で説明したシステム（直視、フロントプロジェクタ、リアプロジェクタによるガンマ補正データの作製）に適応させることができる。

【0203】なお、不揮発性メモリ部だけ本実施例の方法で作製し、他の部分は実施例1の方法で作製してもよい。

【0204】（実施例9）

【0205】本実施例では、フローティングゲートを有する逆スタガー型のTFTによって不揮発性メモリを構成する場合について図19～図21を用いて説明する。なお、図19～図21においては、不揮発性メモリの一つのメモリセルのみに注目しているが、画素TFTや周辺回路等も同時に形成され得る。実際には、実施例1で示したように、複数のメモリセルがマトリクス状に配置されて不揮発性メモリを構成する。

【0206】図19を参照する。まず、ガラス基板1901上に酸化珪素膜でなる下地膜1902を設け、その上にゲート電極1903、1904を形成する。本実施例では、ゲート電極1903、1904として200nm～400nm厚のクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

【0207】次に、ゲート電極1903、1904上にゲート絶縁膜1905を100～200nmの厚さに形成する。ゲート絶縁膜1905としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を用いる。また、ゲート電極を陽極酸化して得られる陽極酸化膜をゲート絶縁膜として利用することもできる。

【0208】次に、フローティングゲート電極1906を形成する。本実施例では、フローティングゲート電極としてクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

【0209】次に、絶縁膜1907を10～50nmの厚さに形成する。絶縁膜1907としては、酸化珪素膜、窒化珪素膜、または酸化珪素膜と窒化珪素膜との積層膜を用いる。

【0210】次に、非晶質珪素膜1908を10～75nm（好ましくは15～45nm）の厚さに形成する。こうして図1（B）の状態が得られる。

【0211】次に、非晶質珪素膜1908をレーザー光あるいはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜の結晶化を行う。レーザー光として

は、エキシマレーザー光が好ましい。エキシマレーザーとしては、KrF、ArF、XeClを光源としたパルスレーザを利用すればよい。

【0212】また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプまたはメタルハライドランプからの強光、赤外光または紫外光ランプからの強光を利用することができる。

【0213】本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜の全面を結晶化する。この時、レーザー光のスウェーブ速度は1.2mm/s、処理温度は室温、パルス周波数は30Hz、レーザーエネルギーは300～315mJ/cm²とする。この工程によって結晶性珪素膜が得られる。

【0214】こうして図19（C）に示すように、結晶性珪素膜1909が得られる。この結晶性珪素膜1909をバターンニングして、活性層1910および1911を形成する。

【0215】次に、レジストマスク1912および1913を形成する。そして、P型を付与する不純物元素（代表的にはボロン、インジウム）を添加し、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ 程度の濃度となるように添加し、P型TFTのソース領域1914およびドレイン領域1915を形成する。また、活性層のうちレジストマスク1912で覆われている部分がチャネル領域となる（図20（A））。

【0216】次に、レジストマスク1912および1913を除去し、レジストマスク1916および1917を形成する。そして、N型を付与する不純物元素（代表的にはリン、砒素）を添加して、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ 程度の低濃度不純物領域1918および1919を形成する（図20（B））。

【0217】次に、レジストマスク1916および1917を除去し、レジストマスク1916'および1920を形成する。そして、再びN型を付与する不純物元素を図20（B）の工程よりも高濃度（ $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ ）に添加してN型TFTのソース・ドレイン領域1921および1922を形成する。なお、1923および1924は低濃度不純物領域、1925はチャネル形成領域である。

【0218】なお、説明の都合上、本実施例では、P型TFTに低濃度不純物領域を設けない図を示しているが、周辺回路のP型TFT等には低濃度不純物領域を設けてよい。この場合、P型を付与する不純物の添加の工程は、2回に分けて行う。

【0219】次に、レジストマスク1916'および1920を除去した後、エキシマレーザー光を照射する（レーザーアニール）ことによって、イオン注入時のダメージの回復と添加した不純物の活性化を行う（図21（A））。

【0220】レーザーアニールが終了したら、層間絶縁膜1926を300～500nmに形成する(図21(B))。層間絶縁膜1926は、酸化珪素膜、窒化珪素膜、有機性樹脂、あるいはそれらの積層膜によって構成される。

【0221】次に、層間絶縁膜1926の上に、金属薄膜で成るソース電極1927、1929、およびドレン電極1928を形成する。この金属薄膜としては、アルミニウム、タンタル、チタン、タンクスチン、モリブデン、またはそれらの積層膜を用いればよい(図21(B))。

【0222】次に、全体に対して水素雰囲気中、350℃で2時間程度の加熱処理を行い、膜中(特にチャネル形成領域)の不対結合を水素終端する。以上の工程によって図21(B)の状態が得られる。

【0223】以後は、実施例1の工程に従い、液晶パネルを作製する。

【0224】また、本実施例で作製した不揮発性メモリを含む液晶表示装置を、実施例1、2、および3で説明したシステム(直視、フロントプロジェクタ、リアプロジェクタによるガンマ補正データの作製)に適応させることができる。本実施例の製造方法によって実施例4、5、および6の液晶表示装置を作製することもできる。

【0225】(実施例10)

【0226】本実施例では、実施例9の工程において、非晶質珪素膜の結晶化に、実施例8の方法を用いる。具体的には、結晶化に利用した触媒元素をゲッタリングして除去するための工程を加える。これには触媒元素(ニッケル)のゲッタリングに15族から選ばれた元素によるゲッタリング効果を利用する。なお、15族から選ばれた元素においては、P(リン)、N(窒素)、As(砒素)、Sb(アンチモン)、Bi(ビスマス)を用いることができる。

【0227】また、本実施例で作製した不揮発性メモリを含む液晶表示装置を、実施例1、2、および3で説明したシステム(直視、フロントプロジェクタ、リアプロジェクタによるガンマ補正データの作製)に適応させることができる。本実施例の製造方法によって実施例4、5、および6の液晶表示装置を作製することもできる。

【0228】(実施例11)

【0229】なお、上記実施例1～10では、表示媒体として液晶を用いる場合について説明してきたが、本発明の半導体表示装置に、液晶と高分子との混合層を用い、いわゆる高分子分散型液晶表示装置とすることもできる。また、本発明を、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を備えた表示装置に用いてもよい。例えば、エレクトロルミネセンス素子、あるいはエレクトロクロミクスなどを表示媒体として備えた表示装置に用いてもよい。この場合も、メモリや周辺回路などを含むアクティブマトリクス基板の作

製には、実施例1で説明した工程が利用される。

【0230】(実施例12)

【0231】上記実施例1～11の半導体装置は、様々な用途がある。本実施例では、これらの半導体装置について説明する。

【0232】このような半導体装置には、ビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話など)などが挙げられる。それらの一例を図22に示す。

【0233】図22(A)は携帯電話であり、本体2201、音声出力部2203、音声入力部2203、表示装置2204、操作スイッチ2205、アンテナ2206で構成される。

【0234】図22(B)はビデオカメラであり、本体2301、表示装置2302、音声入力部2303、操作スイッチ2304、バッテリー2305、受像部2306で構成される。

【0235】図22(C)はモバイルコンピュータであり、本体2401、カメラ部2402、受像部2403、操作スイッチ2404、表示装置2405で構成される。

【0236】図22(D)はヘッドマウントディスプレイであり、本体2501、表示装置2502、バンド部2503で構成される。

【0237】(実施例13)

【0238】本実施例では、実施例1、実施例7、実施例8、実施例9、または実施例10で説明した液晶表示装置において、ゲート電極にTa(タンタル)またはTa合金を用いた場合について説明する。

【0239】TaまたはTa合金をゲート電極に用いると、約450℃から約600℃で熱酸化することができ、Ta₂O₃等の膜質の良い酸化膜がゲート電極上に形成される。この酸化膜は、上記実施例1で説明した、Al(アルミニウム)をゲート電極として用いたときに形成される酸化膜よりも膜質は良いことがわかつている。

【0240】このことは、絶縁膜の耐圧評価の一つであるJ-E特性(電流密度-電界強度特性)において、TaまたはTa合金の酸化膜がAlの酸化膜よりも良い特性を有することによってわかった。

【0241】また、Ta₂O₃は、比誘電率が11.6前後であり、フローティングゲート-コントロールゲート間の容量が大きいので、Alをゲート電極に用いた場合に比較してフローティングゲートに電荷が注入されやすいという利点もある。

【0242】また、Taをゲート電極に用いた場合、上記実施例で行ったように陽極酸化することもできる。

【0243】(CGSに関する知見)

【0244】ここで、上記実施例1に記載した作製方法

によって作製され半導体薄膜について説明する。上記実施例1の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン（いわゆるContinuous Grain Silicon: CGS）と呼ばれる結晶シリコン膜を得ることができる。

【0245】上記実施例1の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

【0246】〔活性層の結晶構造に関する知見〕

【0247】上記実施例1の作製工程に従って形成した横成長領域は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0248】また、本発明者らは上述した作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）を用いて800万倍に拡大し、詳細に観察した（図25（A））。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0249】ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0250】本発明者らが得たTEM写真（図25（A））では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

【0251】ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0252】この時、本発明者らは上述した実施例1の作製方法によって得られた半導体薄膜のTEM写真を詳細に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも{111}面

に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

【0253】さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であり、全体の90%以上（典型的には95%以上）の格子縞が結晶粒界で連続性を保っている。

【0254】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0255】なお、図25（B）に、本発明者らはリフレンスとして従来の多結晶珪素膜（いわゆる高温ポリシリコン膜）についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかつた。即ち、結晶粒界では格子縞が途切れた部分（矢印で示している部分等）が多く、結晶欠陥が多いことが判明した。このような部分では、未結合手が存在することになり、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0256】本発明者らは、上述した実施例1の作製方法で得られる半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手（又は不対結合手）と呼ぶ。

【0257】本願発明で利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下（好ましくは5%以下、さらに好ましくは3%以下）であった。即ち、全体の結合手の90%以上（好ましくは95%以上、さらに好ましくは97%以上）が整合結合手によって構成されているのである。

【0258】また、上述の実施例1の作製方法に従って作製した横成長領域を電子線回折で観察した結果を図26（A）に示す。なお、図26（B）は比較のために観察した従来のポリシリコン膜（高温ポリシリコン膜と呼ばれるもの）の電子線回折パターンである。

【0259】なお、図26（A）および図26（B）は

電子線の照射スポットの径を $1.35 \mu\text{m}$ として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0260】また、図26(C)は単結晶シリコンの{110}面に垂直に電子線を照射した場合の電子線回折パターンの模式図である。通常、この様な電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

【0261】図26(A)の場合、図26(C)に示す様な{110}入射に対応する回折斑点が比較的きれいに現れており、結晶軸が{110}軸である(結晶面が{110}面である)ことが確認できる。

【0262】なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がりの程度はパターンから見積もっても 5° 以内である。

【0263】また、多数観測するうちには回折斑点が部分的に見えない場合があった(図26(A)でも一部分の回折斑点が見えない)。おそらくは概略{110}配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

【0264】本発明者らは、結晶面内に殆ど必ず{111}面が含まれるという事実を踏まえ、おそらく{111}軸まわりの回転角のずれがその様な現象の原因である。

{220} 配向存在比=1(一定)

ろうと推測している。

【0265】一方、図26(B)に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、{110}面以外の面方位の結晶が不規則に混在すると予想される。

【0266】これらの結果が示す様に、上述の実施例1の作製方法による結晶性珪素膜の特徴は殆ど全ての結晶粒が概略{110}面に配向しており、かつ、結晶粒界において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

【0267】以上の様に、上述の実施例1の作製方法で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造(正確には結晶粒界の構造)を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平9-55633号、同9-165216号、同9-212428号でも説明している。

【0268】なお、本発明者らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、上述の作製方法の結晶性珪素膜について配向比率を算出した。同公報では下記の式1に示す様な算出方法で配向比率を定義している。

【0269】

【数1】

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

{220} 配向比率=

$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

【0270】ここで上述の半導体薄膜の配向性をX線回折で測定した結果の一例を図29に示す。なお、X線回折パターンには(220)面に相当するピークが現れているが、{110}面と等価であることは言うまでもない。この測定の結果、{110}面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

【0271】以上に示してきた通り、上述の実施例1の作製方法による結晶性珪素膜と従来のポリシリコン膜と

は全く異なる結晶構造(結晶構成)を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0272】なお、上述の実施例1の半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0273】図27(A)は上述の実施例1の作製方法において、結晶化工程までを終了した時点での結晶シリ

コン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0274】この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図27（A）は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折れ曲がっていることから推測できる。

【0275】一方、図27（B）に示す様に、同倍率で見た上述の実施例1の作製方法による結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0276】即ち、図27（B）に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0277】この様に、図27（A）と図27（B）の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。上述の実施例1の作製方法による結晶シリコン膜が、図27（A）に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0278】こうして得られた上述の実施例1の作製方法による結晶シリコン膜（図27（B））は、単に結晶化を行っただけの結晶シリコン膜（図27（A））に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0279】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では上述した実施例1の作製方法による結晶シリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{ spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{ spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0280】以上の様な結晶構造および特徴を有する本発明の結晶シリコン膜は、連続粒界結晶シリコン（Continuous Grain Silicon : CGS）と呼ばれる。

【0281】従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、上述した実施例1の作製方法による半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、上述した実施例1の作製方法に

よる半導体薄膜を用いて作製したTFTの電気特性は非常に優れた値を示す。この事については以下に示す。

【0282】【TFTの電気特性に関する知見】

【0283】上述した実施例1の作製方法による半導体薄膜は実質的に単結晶と見なせる（実質的に結晶粒界が存在しない）ため、それを活性層とするTFTは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本発明者らが試作したTFTからは次に示す様なデータが得られている。

【0284】（1）TFTのスイッチング性能（オン／オフ動作の切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに $60 \sim 100 \text{ mV/decade}$ （代表的には $60 \sim 85 \text{ mV/decade}$ ）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度 (μ_{FE}) が、Nチャネル型TFTで $200 \sim 650 \text{ cm}^2/\text{Vs}$ （代表的には $250 \sim 300 \text{ cm}^2/\text{Vs}$ ）、Pチャネル型TFTで $100 \sim 300 \text{ cm}^2/\text{Vs}$ （代表的には $150 \sim 200 \text{ cm}^2/\text{Vs}$ ）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧 (V_{th}) が、Nチャネル型TFTで $-0.5 \sim 1.5 \text{ V}$ 、Pチャネル型TFTで $-1.5 \sim 0.5 \text{ V}$ と小さい。

【0285】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0286】なお、CGSを形成するにあたって前述した結晶化温度以上の温度（700～1100°C）でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

【0287】以上のことから、CGSを作製するにあたって、触媒元素のゲッタリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

【0288】まず、図27（A）に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0289】しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0290】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。

【0291】また、本発明者らは結晶化温度以上の温度（700～1100°C）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まるこ

とで欠陥が消滅するというモデルも考えている。

【0292】〔TFT特性とCGSの関係に関する知見〕上述の様な優れたTFT特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【0293】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement : Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0294】上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0295】特に{111}双晶粒界はΣ3の対応粒界、{221}双晶粒界はΣ9の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0296】本発明者らが上述の実施例1の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)がΣ3の対応粒界、即ち{111}双晶粒界であることが判明した。

【0297】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角をθとすると、 $\theta = 70.5^\circ$ の時にΣ3の対応粒界となることが知られている。

【0298】従って、図25(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約70°の角度で連続しており、この結晶粒界は{111}双晶粒界であると容易に推察することができる。

【0299】なお、 $\theta = 38.9^\circ$ の時にはΣ9の対応粒界となるが、この様な他の結晶粒界も存在した。

【0300】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、上述の実施例1の作製方法による半導体薄膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のシリコン膜ではあり得ることではない。

【0301】ここで、上述の実施例1の作製方法による半導体薄膜を1万5千倍に拡大したTEM写真(暗視野

像)を図28(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0302】図28(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0303】他方、従来の高温シリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図28(B)に示す。従来の高温シリコン膜では同一面方位の部分はばらばらに点在するのみであり、図28(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0304】また、本発明者らは、図25に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0305】また、上述の実施例8または実施例10の製造方法において、ニッケルのゲッタリング処理をリンを用いて行った場合の半導体薄膜を明視野で観察した場合のTEM写真を図30に示す。また、図30中においてPoint1を30万倍に拡大した写真を図31(A)に、200万倍に拡大した写真を図31(B)に示す。なお、図31(A)内において四角で囲まれた領域が図31(B)に相当する。また、Point1における電子線回折パターン(スポット径 $1.7\mu\text{m}\phi$)を図31(C)に示す。

【0306】さらに、Point1と全く同条件でPoint2とPoint3を観察した。Point2の観察結果を図32(A)、図32(B)、図22(C)に、Point3の観察結果を図33(A)、図33(B)、図33(C)に示す。

【0307】これらの観察結果から、任意の結晶粒界において結晶格子に連続性が保たれており、平面状粒界が形成されていることが判る。なお、本発明者らはここに示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が確保されていることを確認している。

【0308】

【発明の効果】

【0309】本発明によると、ガンマ補正を行う演算回路およびガンマ補正を行うためのデータを記憶するメモリが、画素TFT、ドライバ回路、その他の周辺回路と同時に一体形成されるので、半導体表示装置の小型化を図りながら、かつ階調表示の良好な半導体表示装置が実

現できる。

【0310】また、半導体表示装置の中でも特に液晶表示装置において、液晶表示装置一つ一つの特性に応じて、適切なガンマ補正データを作成することができるるので、良好な階調表示が行える。

【図面の簡単な説明】

【図1】 本発明のガンマ補正システムの概略構成図である。

【図2】 本発明のガンマ補正システムの模式図である。

【図3】 本発明の半導体表示装置の不揮発性メモリの回路図である。

【図4】 本発明の半導体表示装置の作製工程を示す図である。

【図5】 本発明の半導体表示装置の作製工程を示す図である。

【図6】 本発明の半導体表示装置の作製工程を示す図である。

【図7】 本発明の半導体表示装置の作製工程を示す図である。

【図8】 本発明の半導体表示装置の回路配置を示す図である。

【図9】 本発明の半導体表示装置の断面図である。

【図10】 本発明のガンマ補正システムの模式図である。

【図11】 本発明のガンマ補正システムの模式図である。

【図12】 本発明のガンマ補正システムの概略構成図である。

【図13】 本発明のガンマ補正システムの概略構成図である。

【図14】 本発明のガンマ補正システムの概略構成図である。

【図15】 本発明の半導体表示装置のドライバ部の構成を示す図である。

【図16】 本発明の半導体表示装置の階調電圧制御回路の回路図である。

【図17】 本発明のガンマ補正の特性を示す図である。

【図18】 本発明の半導体表示装置の作製工程を示す

図である。

【図19】 本発明の半導体表示装置の作製工程を示す図である。

【図20】 本発明の半導体表示装置の作製工程を示す図である。

【図21】 本発明の半導体表示装置の作製工程を示す図である。

【図22】 本発明の半導体表示装置を利用した半導体装置の概略図である。

【図23】 従来の液晶表示装置の構成図である。

【図24】 液晶表示装置の特性を示す図である。

【図25】 半導体薄膜の結晶粒を示すTEM写真図である。

【図26】 半導体薄膜の電子回折パターンを示す写真図である。

【図27】 半導体薄膜の結晶粒を示すTEM写真図である。

【図28】 半導体薄膜の暗視野像を示すTEM写真図である。

【図29】 半導体薄膜のX線回折の結果を示すグラフである。

【図30】 半導体薄膜の暗視野像を示すTEM写真図である。

【図31】 半導体薄膜の結晶粒界を示すTEM写真図である。

【図32】 半導体薄膜の結晶粒界を示すTEM写真図である。

【図33】 半導体薄膜の結晶粒界を示すTEM写真図である。

【符号の説明】

101 シグナルジェネレータ

102 ガンマ補正制御回路

103 不揮発性メモリ

104 ソース信号線側ドライバ

105 ゲイト信号線側ドライバ

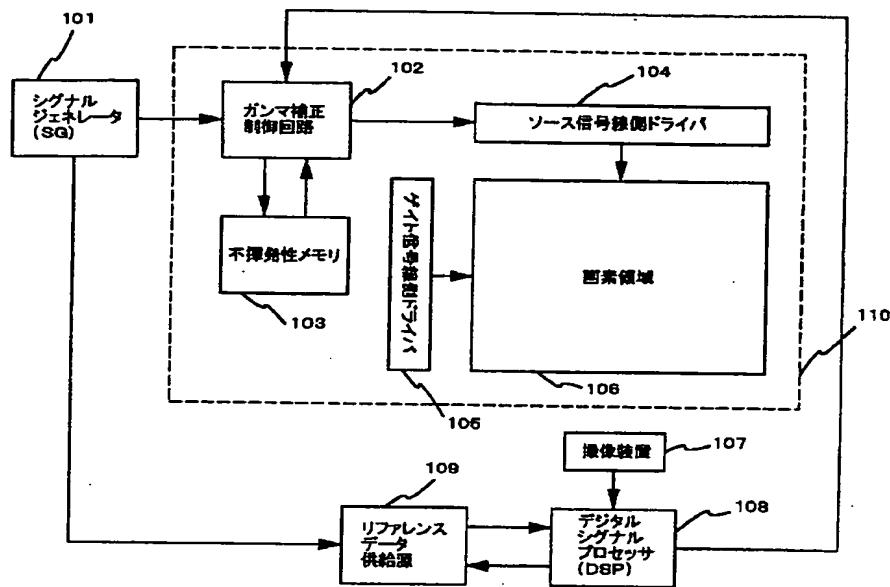
106 画素領域

107 撮像装置

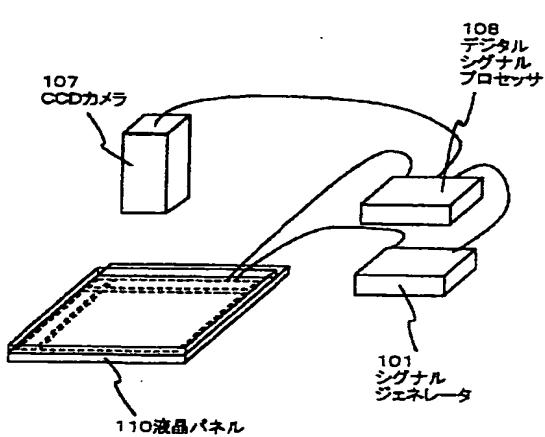
108 デジタルシグナルプロセッサ

109 リファレンスデータ供給源

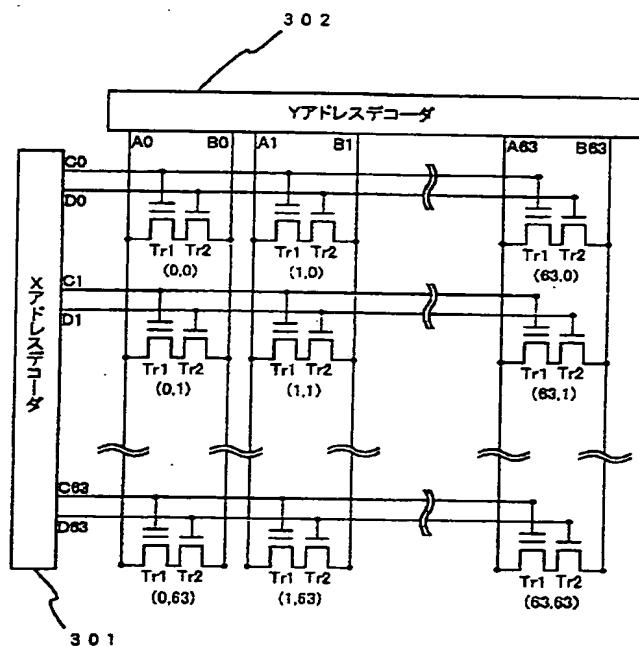
【図1】



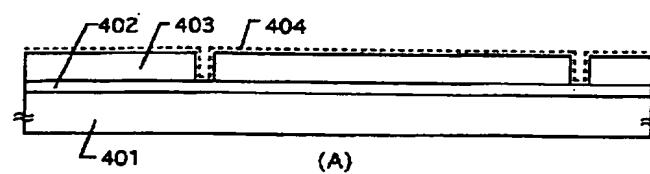
【図2】



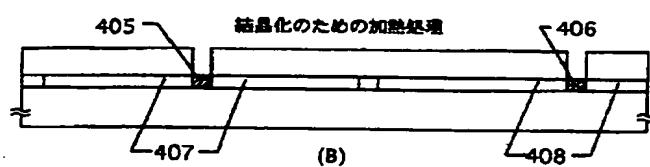
【図3】



【図4】

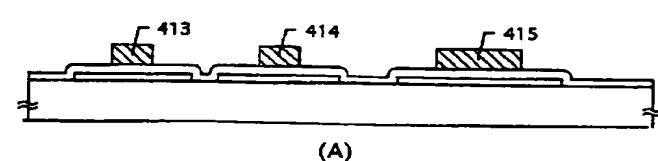


(A)

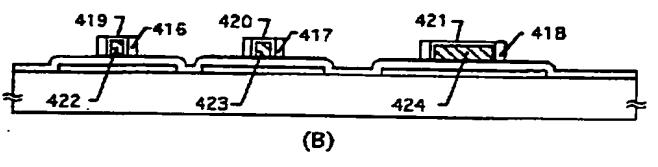


(B)

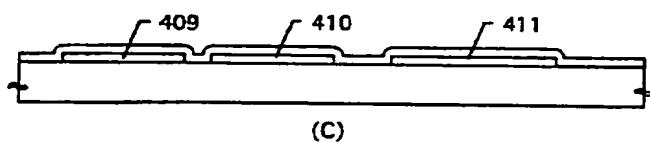
【図5】



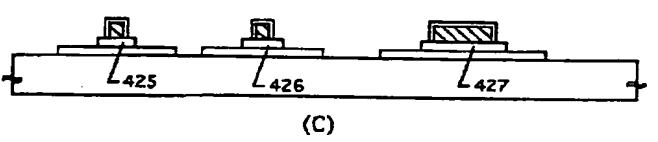
(A)



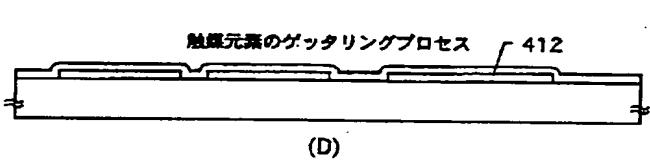
(B)



(C)



(C)

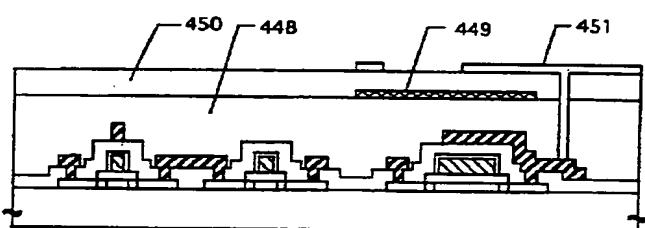


(D)

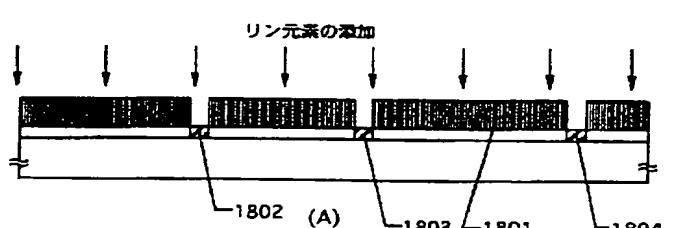


(D)

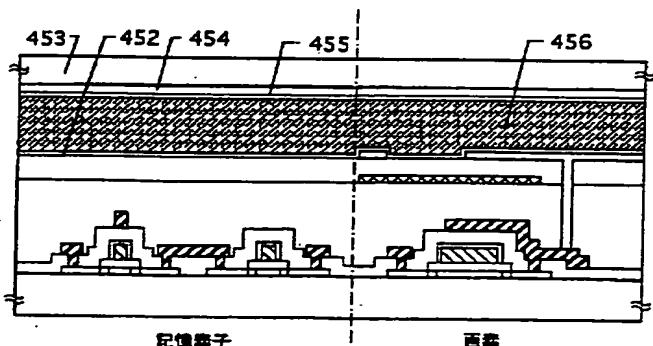
【図7】



(A)



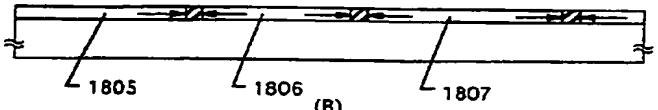
【図18】



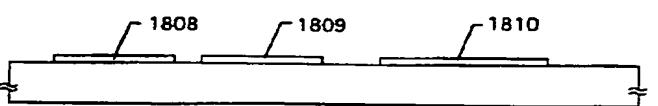
記憶素子

蓄積

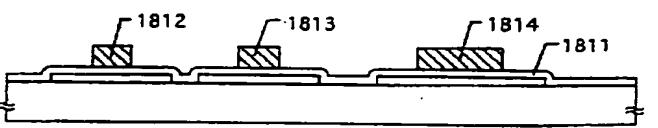
(B)



(B)

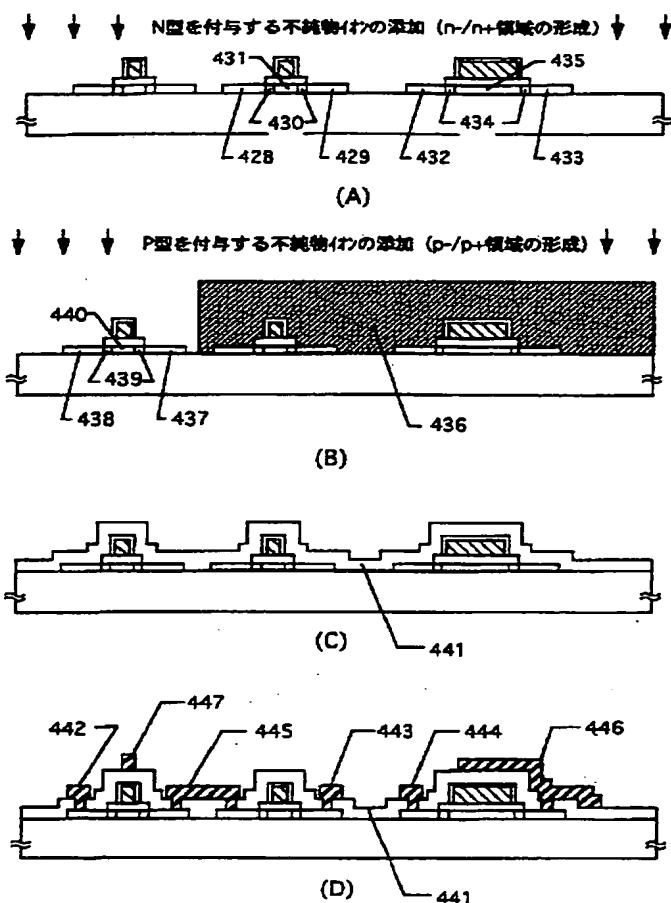


(C)

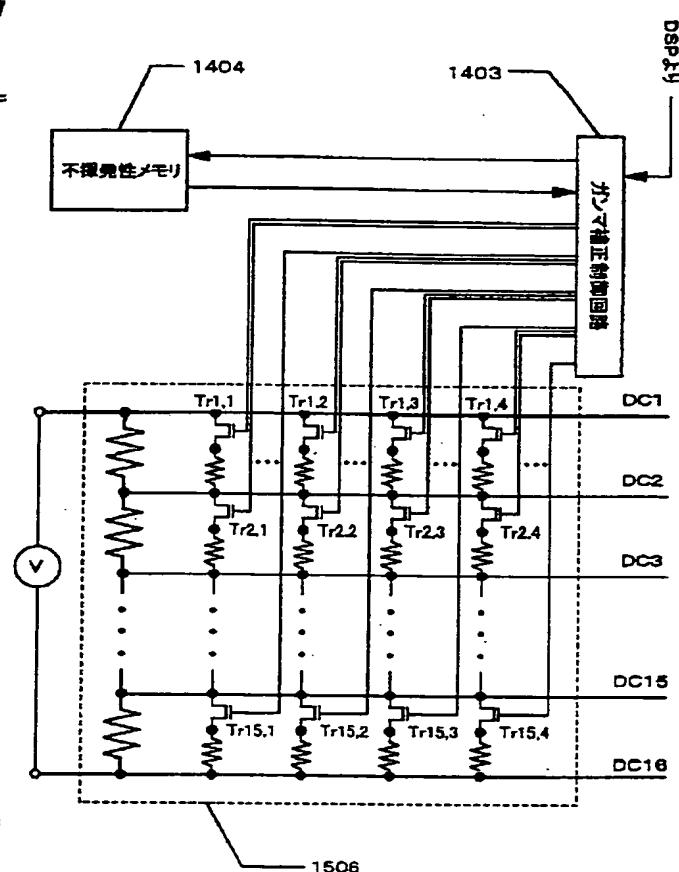


(D)

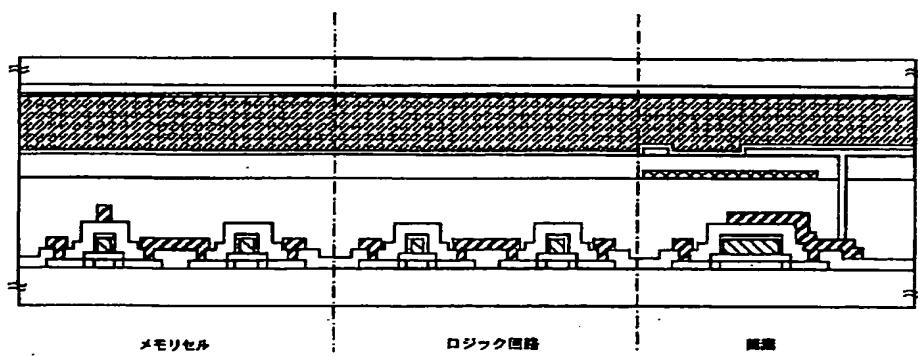
【図6】



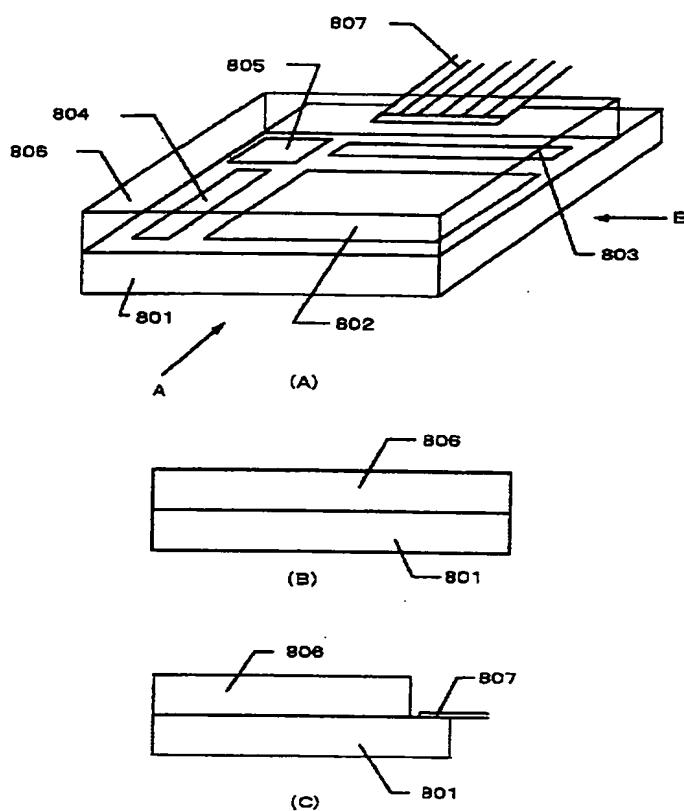
【図16】



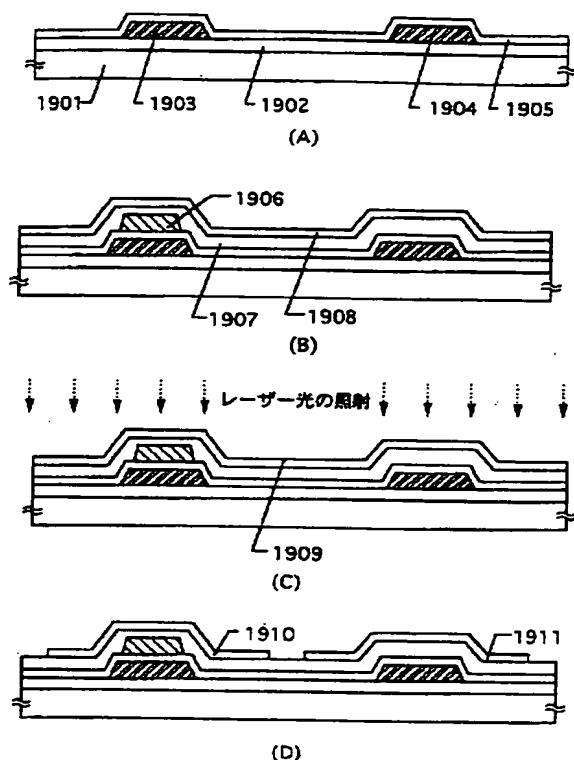
【図9】



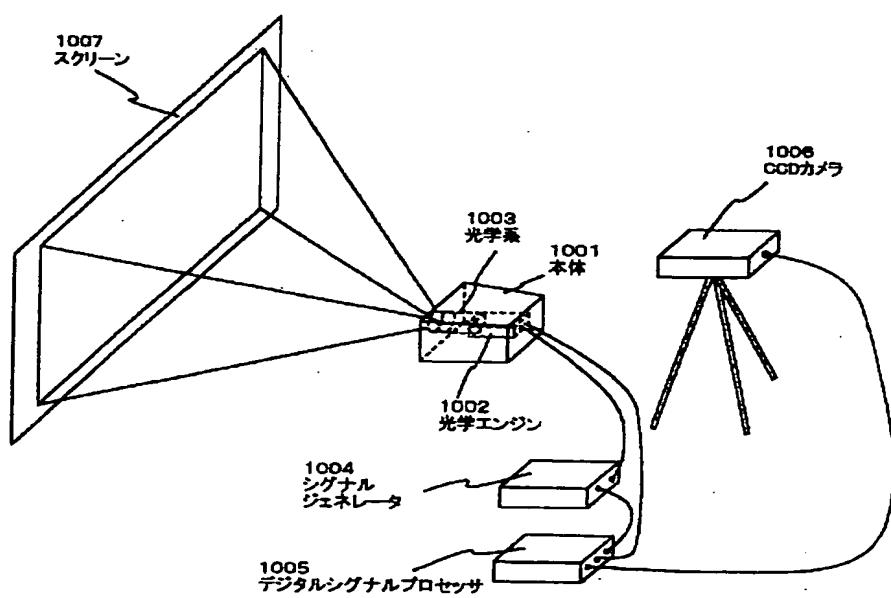
【図8】



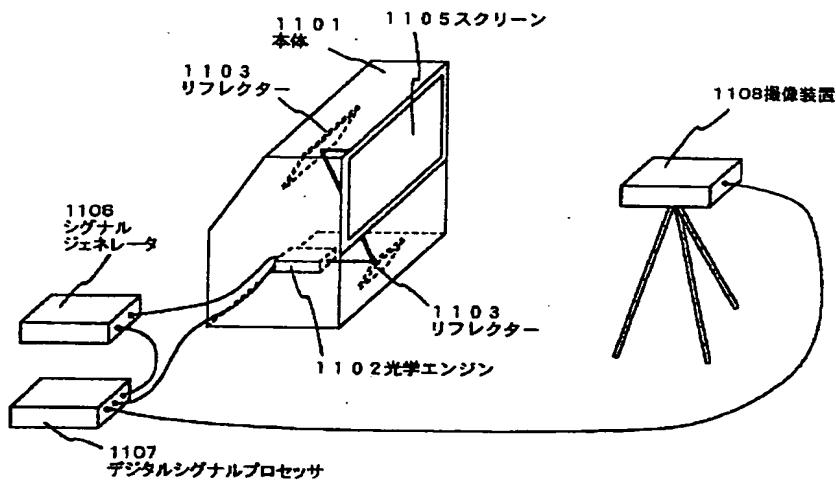
【図19】



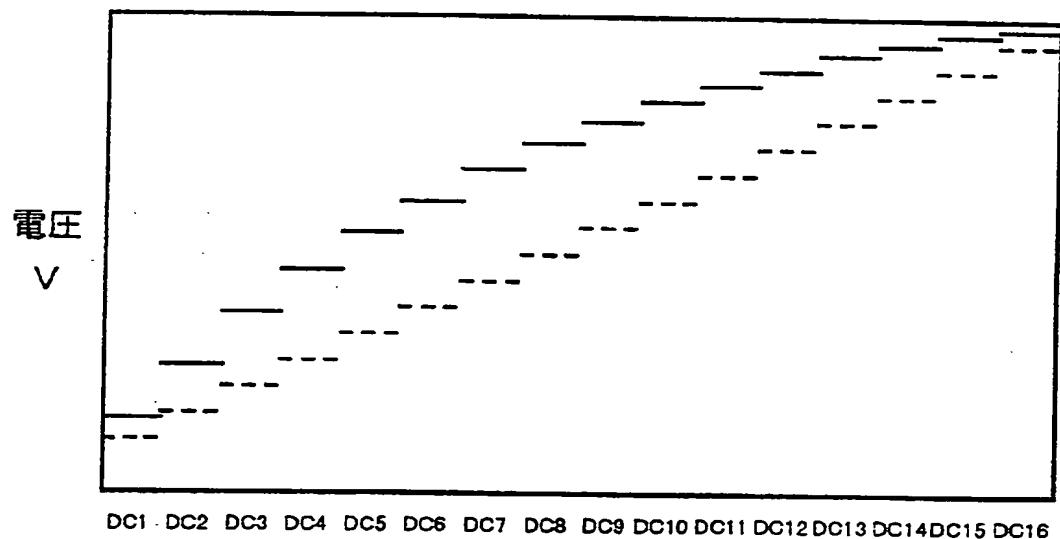
【図10】



【図11】

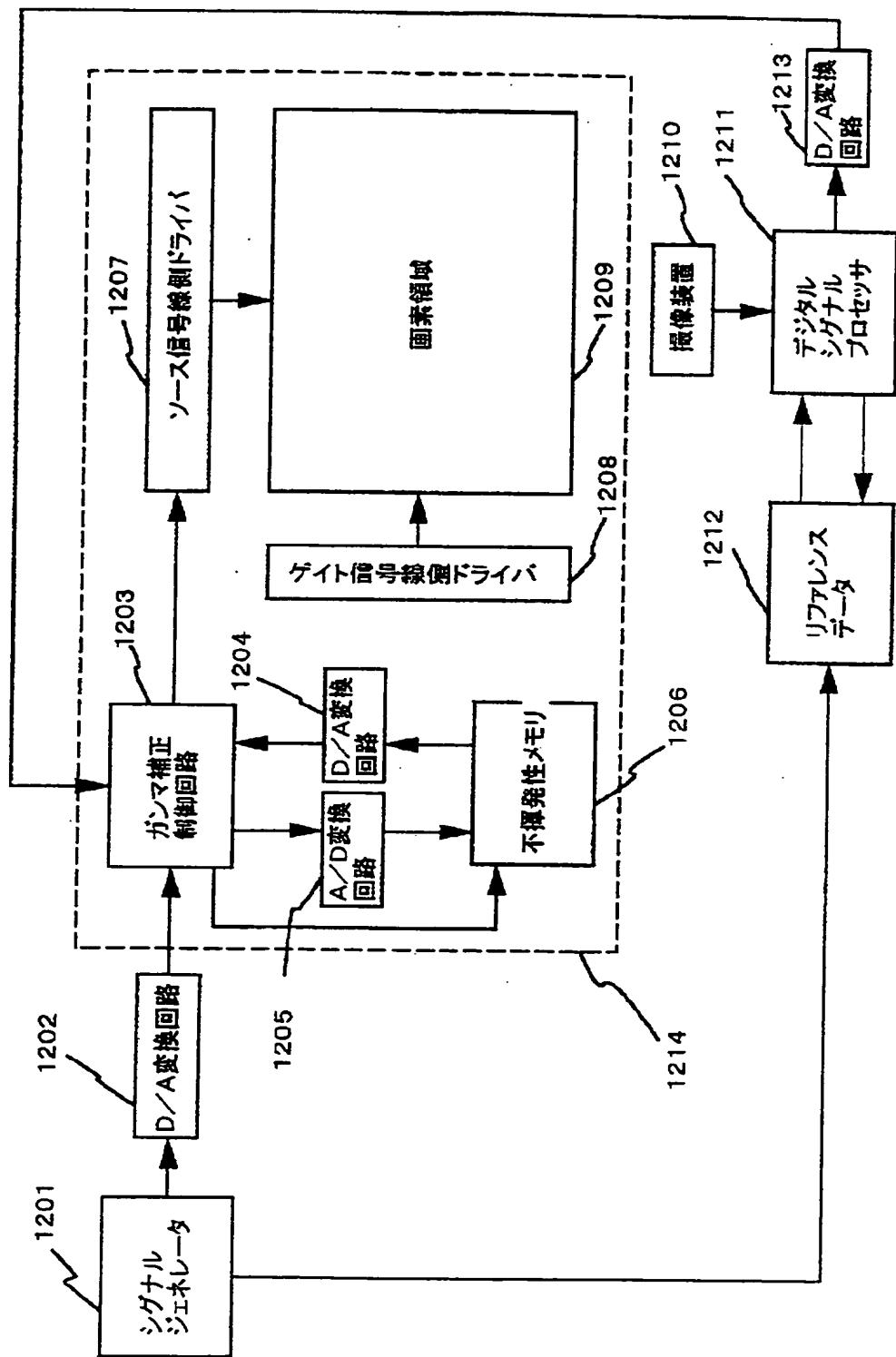


【図17】

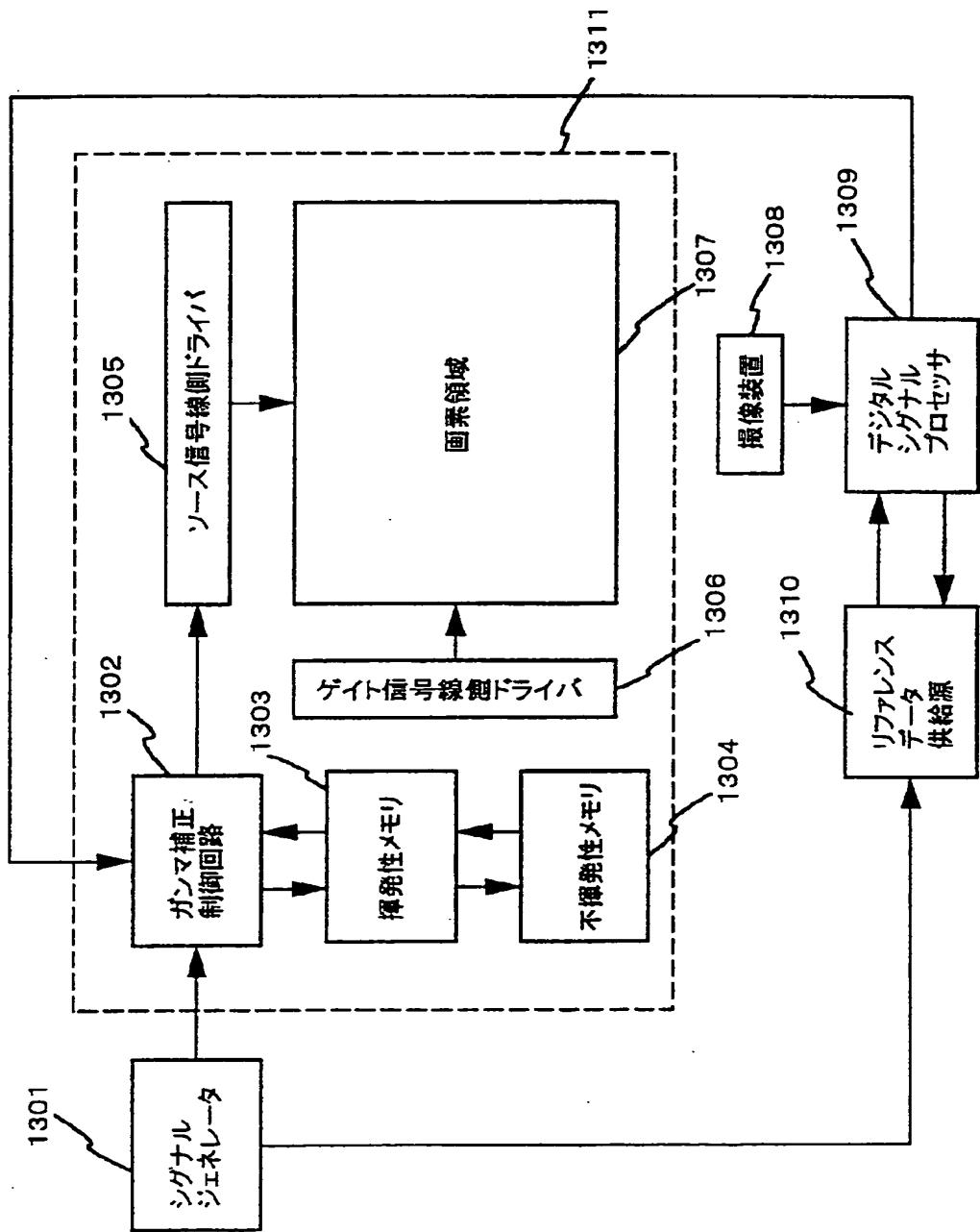


電圧供給線

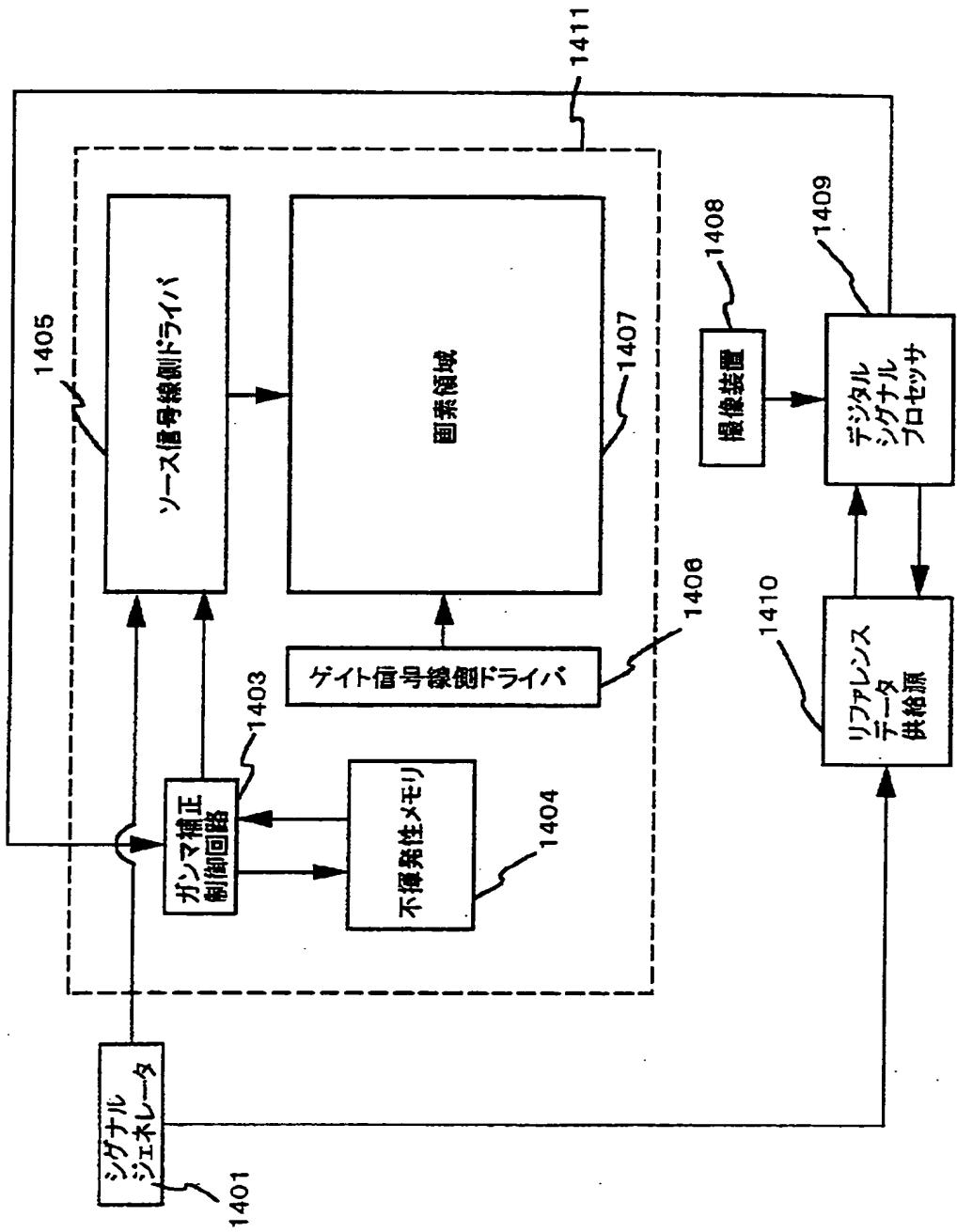
【図12】



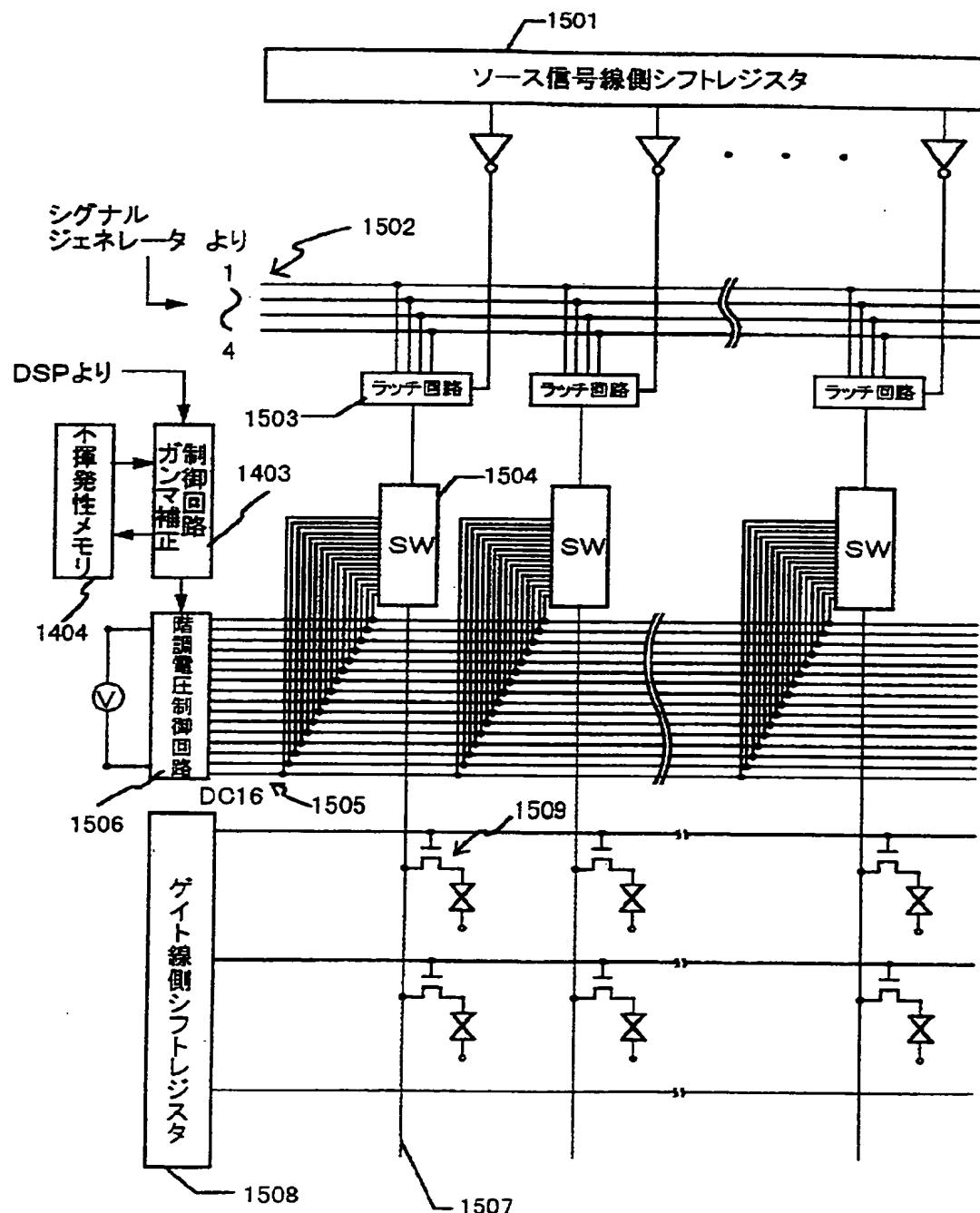
【図13】



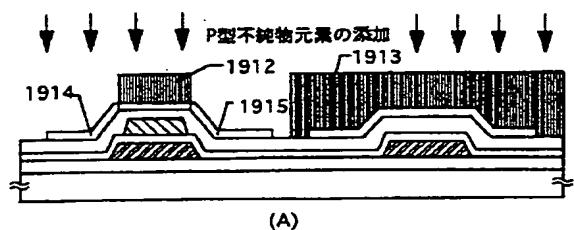
【図14】



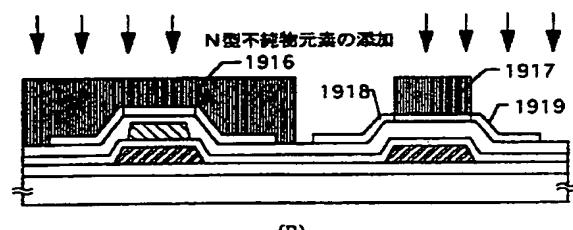
【図15】



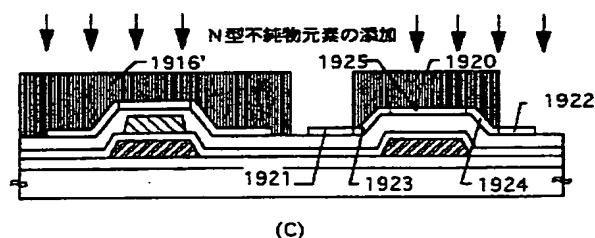
【図20】



(A)

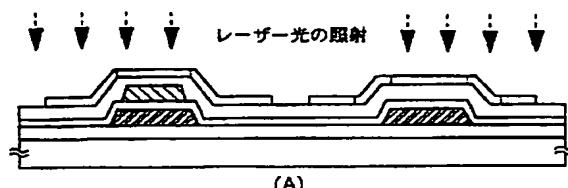


(B)

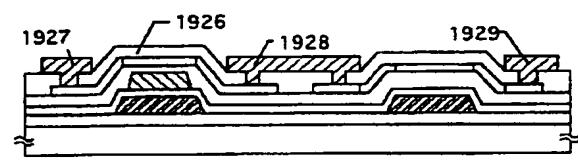


(C)

【図21】

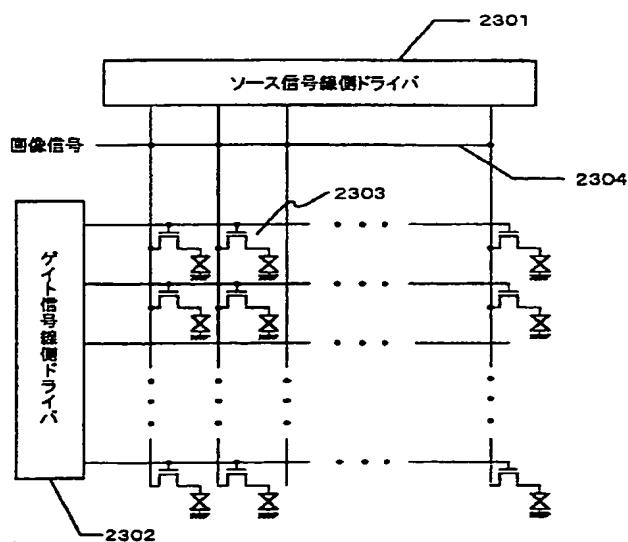


(A)

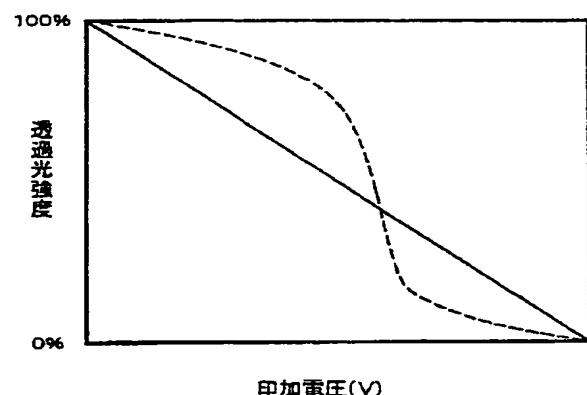


(B)

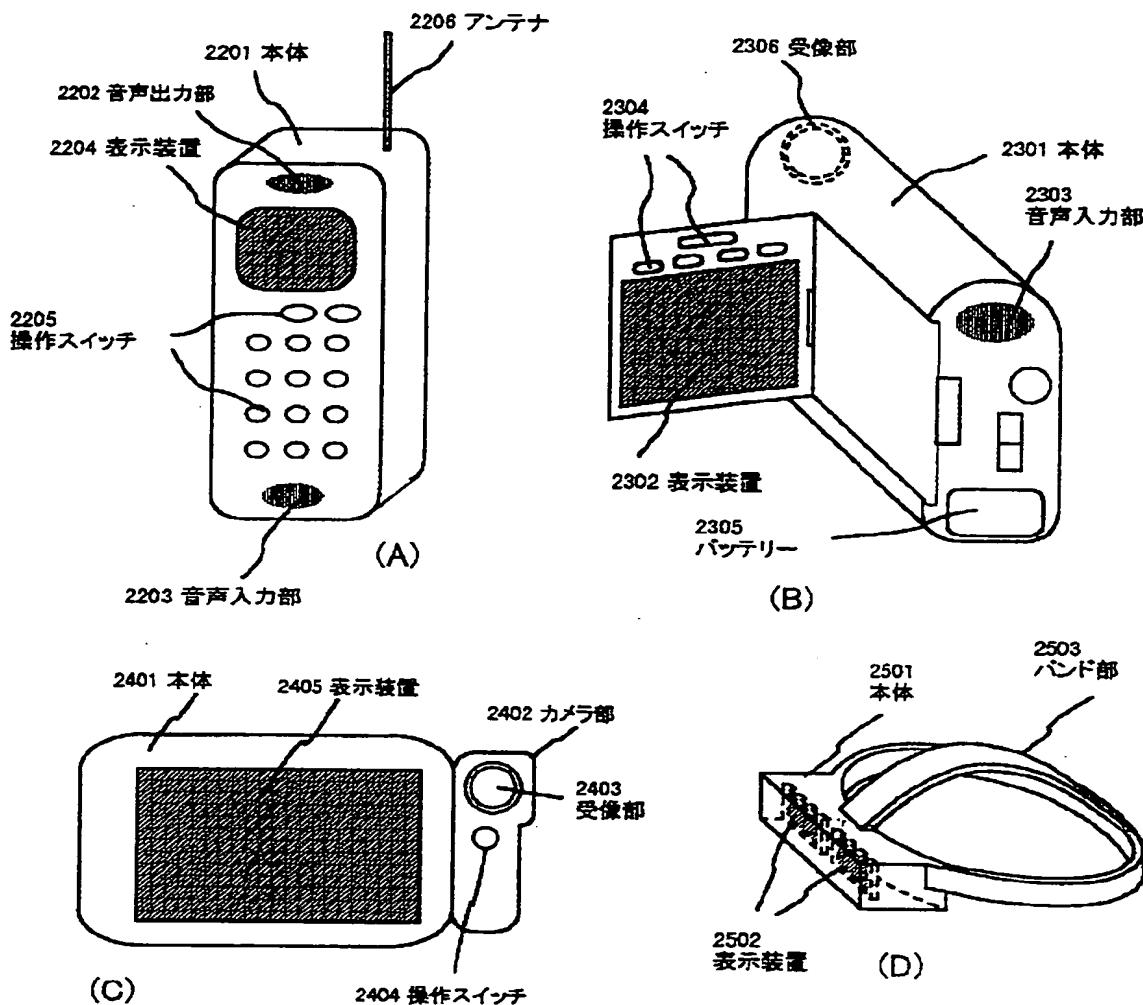
【図23】



【図24】

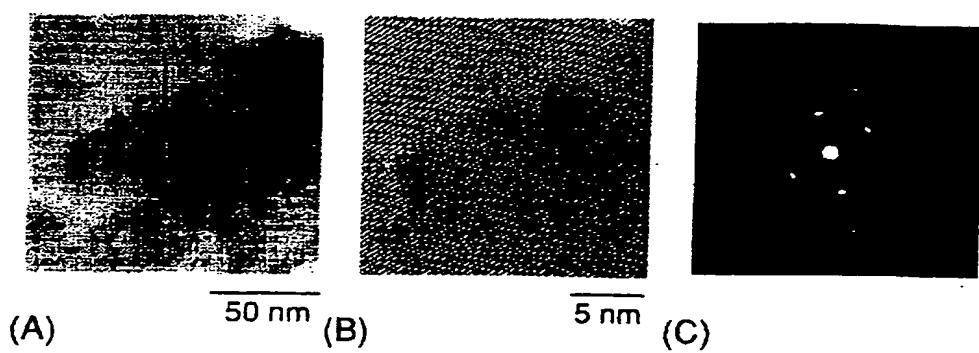


【図22】



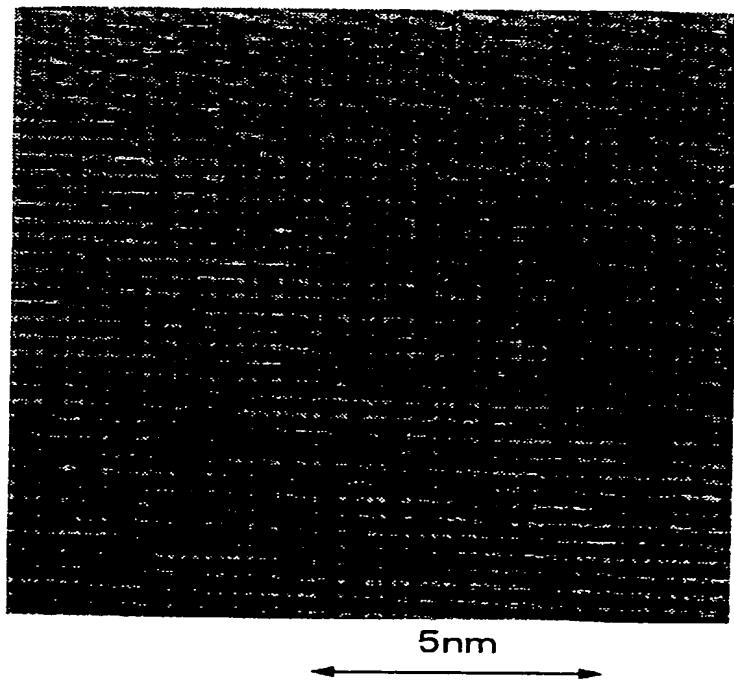
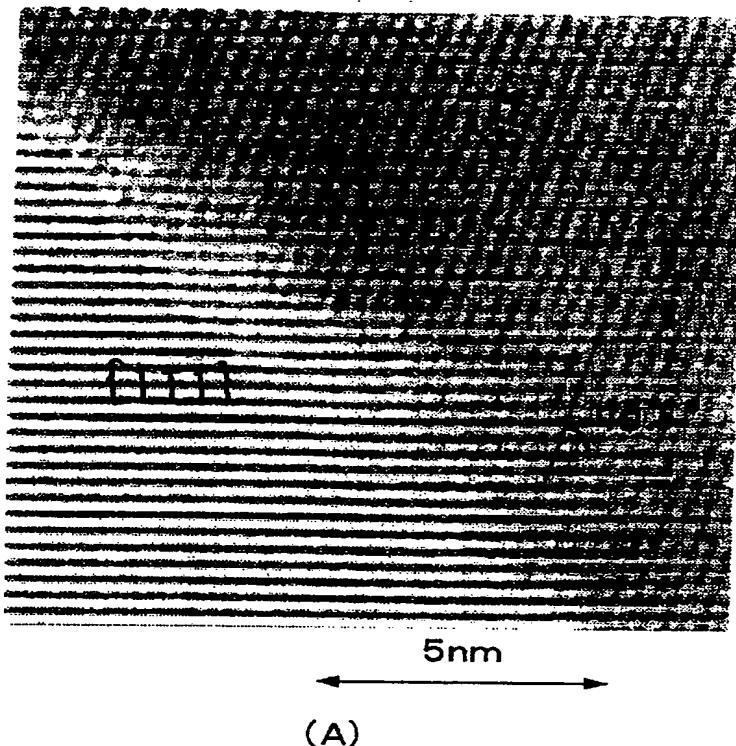
【図31】

図面代用写真
(Point 1)



【図25】

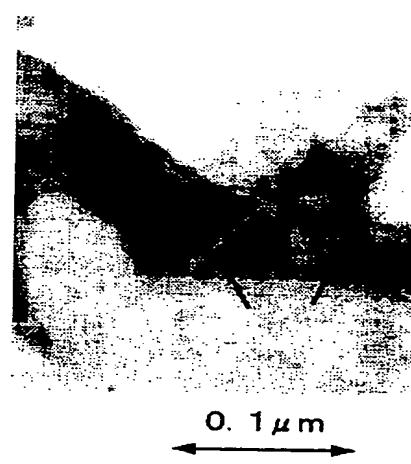
図面代用写真



(B)

【図27】

図面代用写真



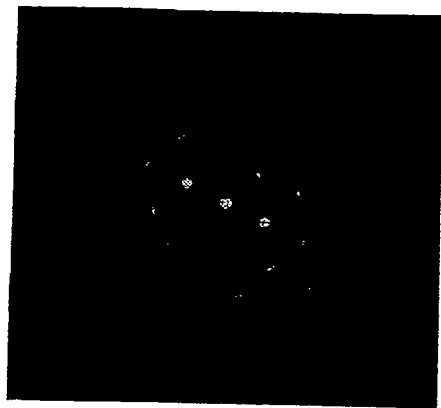
(A)



(B)

【図26】

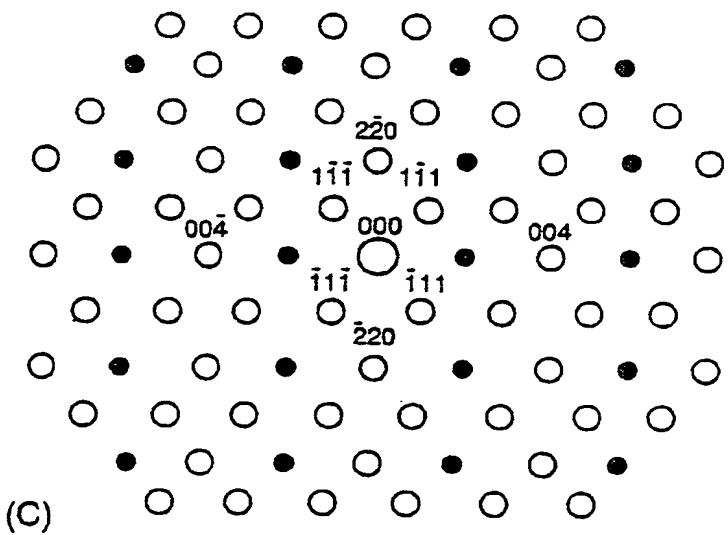
図面代用写真



(A)

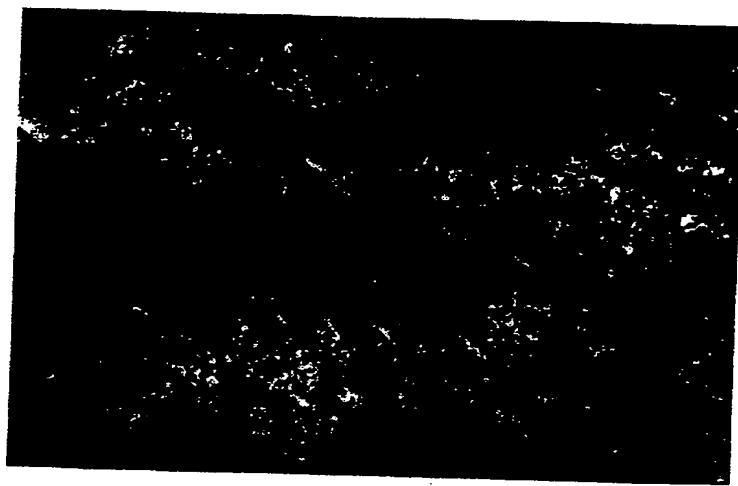


(B)



【図28】

顕微鏡写真



(A)

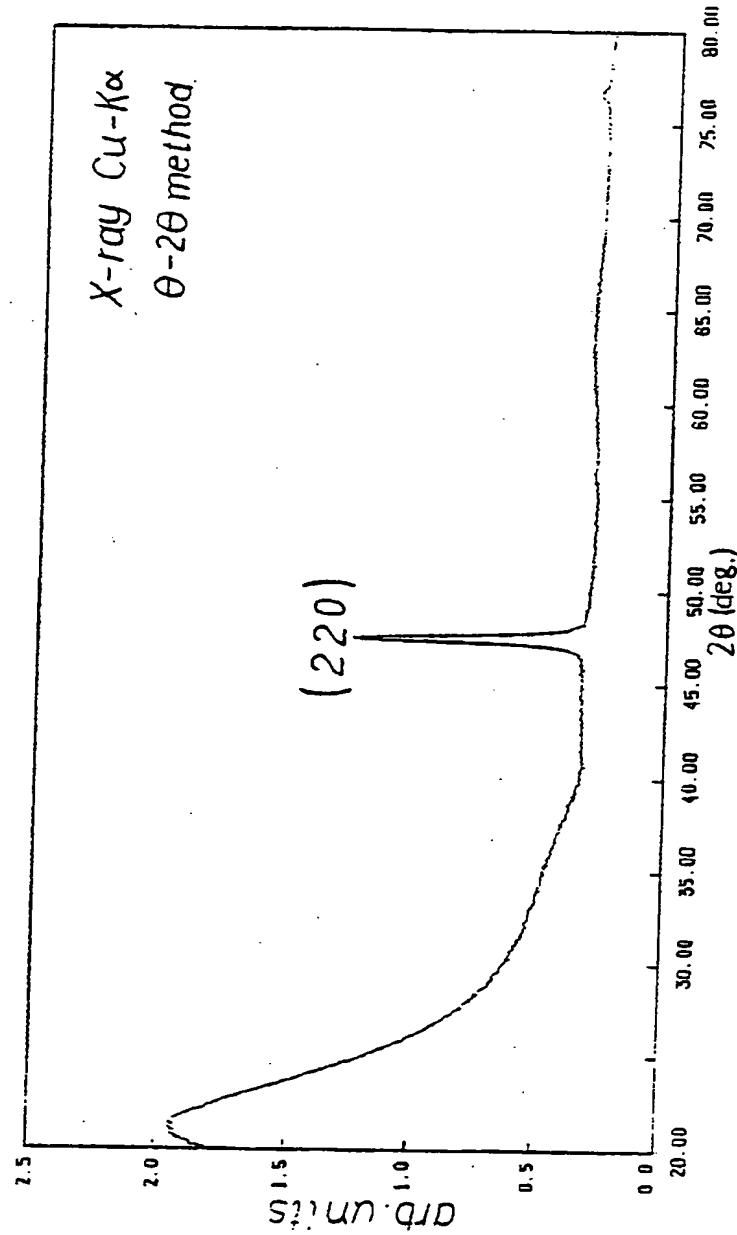
2 μm



(B)

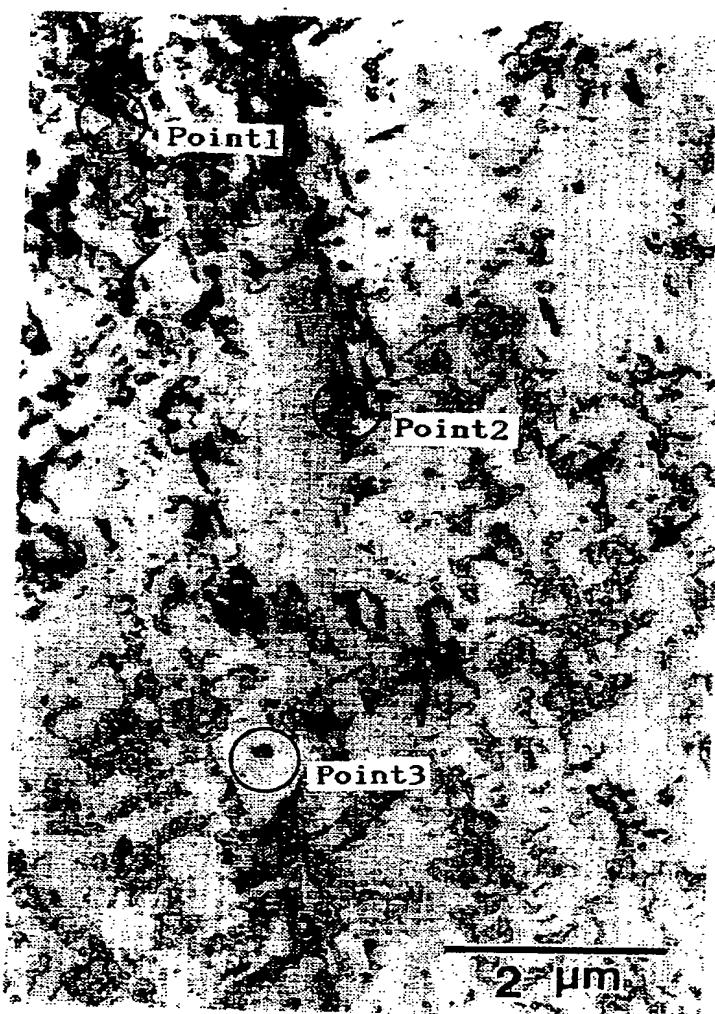
2 μm

【図29】

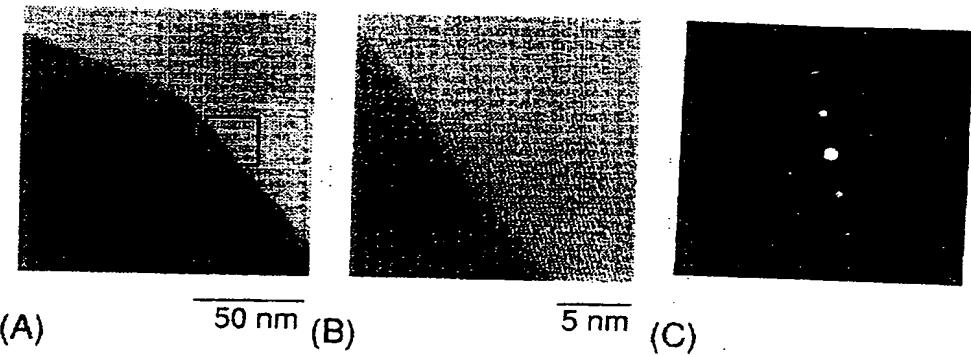


【図30】

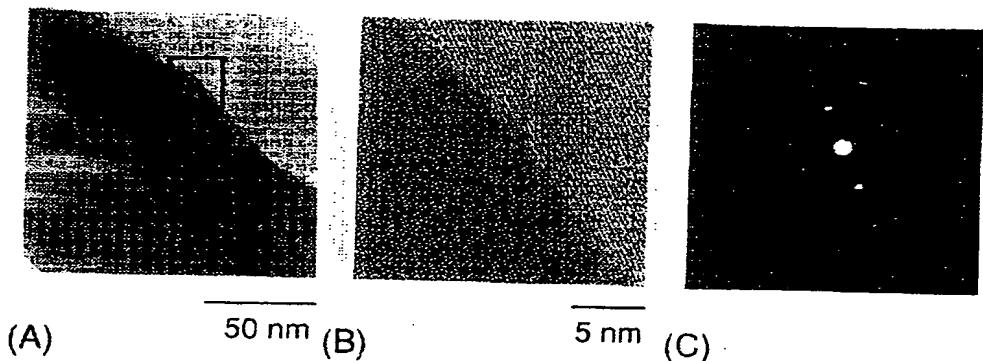
顯微鏡像



【図32】

図面代用写真
〈Point 2〉

【図33】

図面代用写真
〈Point 3〉

フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 1 3 B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.